

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

06608209 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: **2000-194014 [JP 2000194014 A]**
PUBLISHED: July 14, 2000 (20000714)
INVENTOR(s): YAMAZAKI SHUNPEI
 YAMAZAKI MASARU
 KOYAMA JUN
 IKEDA TAKAYUKI
 SHIBATA HIROSHI
 KITAKADO HIDETO
 FUKUNAGA KENJI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 10-374878 [JP 98374878]
FILED: December 28, 1998 (19981228)
INTL CLASS: G02F-001/136; H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor device using TFT structure of high reliability.

SOLUTION: In a CMOS circuit formed on a substrate 100, N channel type TFT is provided with a subgate wiring (a first wiring) 102a and a main gate wiring (a second gate wiring) 113a. LDD regions 107a, 107b overlap the first wiring 102a and do not overlap the second wiring 113a. Thereby the first wiring has GOLD structure when gate voltage is applied thereto and has LDD structure when the gate voltage is not applied thereto. Thus the GOLD structure and the LDD structure can be properly used corresponding to a circuit type.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

013337074 **Image available**
WPI Acc No: 2000-509013/200046
XRPX Acc No: N00-376631

Semiconductor device for electrooptical apparatus, has semiconductor area of capacitive wiring formed with retention volume equal to low concentration impurity area

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000194014	A	20000714	JP 98374878	A	19981228	200046 B

Priority Applications (No Type Date): JP 98374878 A 19981228

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000194014	A	24	G02F-001/136	

Abstract (Basic): JP 2000194014 A

NOVELTY - Sub gate wiring (102a) and a main gate wiring (113a) are provided to N-type thin film transistor through insulating layer. A low concentration impurity area is formed overlapping sub gate wiring. A semiconductor area of capacitive wiring is formed on sub gate wiring layer with retention volume equal to channel formation area of thin film transistor or low concentration impurity area.

USE - For electrooptical apparatus with liquid crystal panel.

ADVANTAGE - Raises capability and reliability of device by distributing circuit of suitable capability depending on required specification. Secures sufficient retention volume by reducing rate of opening to 1 inch or less.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of CMOS circuit.

Sub gate wiring (102a)

Main gate wiring (113a)

pp; 24 DwgNo 1/22

Title Terms: SEMICONDUCTOR; DEVICE; APPARATUS; SEMICONDUCTOR; AREA; CAPACITANCE; WIRE; FORMING; RETAIN; VOLUME; EQUAL; LOW; CONCENTRATE; IMPURE; AREA

Derwent Class: P81; U11

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-021/336; H01L-029/786

File Segment: EPI; EngPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(II)特許出願公開号

特開2000-194014
(P2000-194014A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.

G 02 F 1/136
H 01 L 29/786
21/336

識別記号

5 0 0

F I

G 02 F 1/136
H 01 L 29/78データコード(参考)
2 H 0 9 2
5 F 1 1 0
6 1 6 A
6 1 7 N

- (21)出願番号 特願平10-374878
(22)出願日 平成10年12月28日(1998.12.28)

- (71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 山崎 晃平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 山崎 優
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

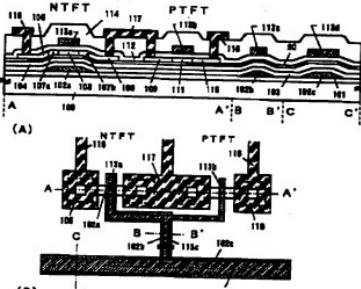
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 信頼性の高いTFT構造を用いた半導体装置を提供する。

【解決手段】 基板100上に形成されたCMOS回路において、Nチャネル型TFTにサブゲート配線(第1配線)102aとメイシングート配線(第2ゲート配線)113aを設ける。LDD領域107a, 107bは第1配線102aとは重なり、第2配線113aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。このように回路仕様に応じてGOLD構造とLDD構造を使い分けることができる。



101: 下地層
102: 下地膜
103: 第1絶縁層
104: 第1金属層
105: 第1絶縁層
106: 第1ドレイン
107: 第1ソース
108: 第1ゲート電極
109: 第1ゲート電極
110: 第2絶縁層
111: 第2金属層
112: 第2絶縁層
113: 第2ゲート電極
114: 第2ゲート電極
115: 第3絶縁層
116: 第3金属層
117: 第3絶縁層
118: 第3ゲート電極
119: 第3ゲート電極
120: 第4絶縁層
121: 第4金属層
122: 第4絶縁層
123: 第4ゲート電極
124: 第4ゲート電極
125: 第5絶縁層
126: 第5金属層
127: 第5絶縁層
128: 第5ゲート電極
129: 第5ゲート電極
130: 第6絶縁層
131: 第6金属層
132: 第6絶縁層
133: 第6ゲート電極
134: 第6ゲート電極
135: 第7絶縁層
136: 第7金属層
137: 第7絶縁層
138: 第7ゲート電極
139: 第7ゲート電極
140: 第8絶縁層
141: 第8金属層
142: 第8絶縁層
143: 第8ゲート電極
144: 第8ゲート電極
145: 第9絶縁層
146: 第9金属層
147: 第9絶縁層
148: 第9ゲート電極
149: 第9ゲート電極
150: 第10絶縁層
151: 第10金属層
152: 第10絶縁層
153: 第10ゲート電極
154: 第10ゲート電極
155: 第11絶縁層
156: 第11金属層
157: 第11絶縁層
158: 第11ゲート電極
159: 第11ゲート電極
160: 第12絶縁層
161: 第12金属層
162: 第12絶縁層
163: 第12ゲート電極
164: 第12ゲート電極
165: 第13絶縁層
166: 第13金属層
167: 第13絶縁層
168: 第13ゲート電極
169: 第13ゲート電極
170: 第14絶縁層
171: 第14金属層
172: 第14絶縁層
173: 第14ゲート電極
174: 第14ゲート電極
175: 第15絶縁層
176: 第15金属層
177: 第15絶縁層
178: 第15ゲート電極
179: 第15ゲート電極
180: 第16絶縁層
181: 第16金属層
182: 第16絶縁層
183: 第16ゲート電極
184: 第16ゲート電極
185: 第17絶縁層
186: 第17金属層
187: 第17絶縁層
188: 第17ゲート電極
189: 第17ゲート電極
190: 第18絶縁層
191: 第18金属層
192: 第18絶縁層
193: 第18ゲート電極
194: 第18ゲート電極
195: 第19絶縁層
196: 第19金属層
197: 第19絶縁層
198: 第19ゲート電極
199: 第19ゲート電極
200: 第20絶縁層
201: 第20金属層
202: 第20絶縁層
203: 第20ゲート電極
204: 第20ゲート電極
205: 第21絶縁層
206: 第21金属層
207: 第21絶縁層
208: 第21ゲート電極
209: 第21ゲート電極
210: 第22絶縁層
211: 第22金属層
212: 第22絶縁層
213: 第22ゲート電極
214: 第22ゲート電極
215: 第23絶縁層
216: 第23金属層
217: 第23絶縁層
218: 第23ゲート電極
219: 第23ゲート電極
220: 第24絶縁層
221: 第24金属層
222: 第24絶縁層
223: 第24ゲート電極
224: 第24ゲート電極
225: 第25絶縁層
226: 第25金属層
227: 第25絶縁層
228: 第25ゲート電極
229: 第25ゲート電極
230: 第26絶縁層
231: 第26金属層
232: 第26絶縁層
233: 第26ゲート電極
234: 第26ゲート電極
235: 第27絶縁層
236: 第27金属層
237: 第27絶縁層
238: 第27ゲート電極
239: 第27ゲート電極
240: 第28絶縁層
241: 第28金属層
242: 第28絶縁層
243: 第28ゲート電極
244: 第28ゲート電極
245: 第29絶縁層
246: 第29金属層
247: 第29絶縁層
248: 第29ゲート電極
249: 第29ゲート電極
250: 第30絶縁層
251: 第30金属層
252: 第30絶縁層
253: 第30ゲート電極
254: 第30ゲート電極
255: 第31絶縁層
256: 第31金属層
257: 第31絶縁層
258: 第31ゲート電極
259: 第31ゲート電極
260: 第32絶縁層
261: 第32金属層
262: 第32絶縁層
263: 第32ゲート電極
264: 第32ゲート電極
265: 第33絶縁層
266: 第33金属層
267: 第33絶縁層
268: 第33ゲート電極
269: 第33ゲート電極
270: 第34絶縁層
271: 第34金属層
272: 第34絶縁層
273: 第34ゲート電極
274: 第34ゲート電極
275: 第35絶縁層
276: 第35金属層
277: 第35絶縁層
278: 第35ゲート電極
279: 第35ゲート電極
280: 第36絶縁層
281: 第36金属層
282: 第36絶縁層
283: 第36ゲート電極
284: 第36ゲート電極
285: 第37絶縁層
286: 第37金属層
287: 第37絶縁層
288: 第37ゲート電極
289: 第37ゲート電極
290: 第38絶縁層
291: 第38金属層
292: 第38絶縁層
293: 第38ゲート電極
294: 第38ゲート電極
295: 第39絶縁層
296: 第39金属層
297: 第39絶縁層
298: 第39ゲート電極
299: 第39ゲート電極
300: 第40絶縁層
301: 第40金属層
302: 第40絶縁層
303: 第40ゲート電極
304: 第40ゲート電極
305: 第41絶縁層
306: 第41金属層
307: 第41絶縁層
308: 第41ゲート電極
309: 第41ゲート電極
310: 第42絶縁層
311: 第42金属層
312: 第42絶縁層
313: 第42ゲート電極
314: 第42ゲート電極
315: 第43絶縁層
316: 第43金属層
317: 第43絶縁層
318: 第43ゲート電極
319: 第43ゲート電極
320: 第44絶縁層
321: 第44金属層
322: 第44絶縁層
323: 第44ゲート電極
324: 第44ゲート電極
325: 第45絶縁層
326: 第45金属層
327: 第45絶縁層
328: 第45ゲート電極
329: 第45ゲート電極
330: 第46絶縁層
331: 第46金属層
332: 第46絶縁層
333: 第46ゲート電極
334: 第46ゲート電極
335: 第47絶縁層
336: 第47金属層
337: 第47絶縁層
338: 第47ゲート電極
339: 第47ゲート電極
340: 第48絶縁層
341: 第48金属層
342: 第48絶縁層
343: 第48ゲート電極
344: 第48ゲート電極
345: 第49絶縁層
346: 第49金属層
347: 第49絶縁層
348: 第49ゲート電極
349: 第49ゲート電極
350: 第50絶縁層
351: 第50金属層
352: 第50絶縁層
353: 第50ゲート電極
354: 第50ゲート電極
355: 第51絶縁層
356: 第51金属層
357: 第51絶縁層
358: 第51ゲート電極
359: 第51ゲート電極
360: 第52絶縁層
361: 第52金属層
362: 第52絶縁層
363: 第52ゲート電極
364: 第52ゲート電極
365: 第53絶縁層
366: 第53金属層
367: 第53絶縁層
368: 第53ゲート電極
369: 第53ゲート電極
370: 第54絶縁層
371: 第54金属層
372: 第54絶縁層
373: 第54ゲート電極
374: 第54ゲート電極
375: 第55絶縁層
376: 第55金属層
377: 第55絶縁層
378: 第55ゲート電極
379: 第55ゲート電極
380: 第56絶縁層
381: 第56金属層
382: 第56絶縁層
383: 第56ゲート電極
384: 第56ゲート電極
385: 第57絶縁層
386: 第57金属層
387: 第57絶縁層
388: 第57ゲート電極
389: 第57ゲート電極
390: 第58絶縁層
391: 第58金属層
392: 第58絶縁層
393: 第58ゲート電極
394: 第58ゲート電極
395: 第59絶縁層
396: 第59金属層
397: 第59絶縁層
398: 第59ゲート電極
399: 第59ゲート電極
400: 第60絶縁層
401: 第60金属層
402: 第60絶縁層
403: 第60ゲート電極
404: 第60ゲート電極
405: 第61絶縁層
406: 第61金属層
407: 第61絶縁層
408: 第61ゲート電極
409: 第61ゲート電極
410: 第62絶縁層
411: 第62金属層
412: 第62絶縁層
413: 第62ゲート電極
414: 第62ゲート電極
415: 第63絶縁層
416: 第63金属層
417: 第63絶縁層
418: 第63ゲート電極
419: 第63ゲート電極
420: 第64絶縁層
421: 第64金属層
422: 第64絶縁層
423: 第64ゲート電極
424: 第64ゲート電極
425: 第65絶縁層
426: 第65金属層
427: 第65絶縁層
428: 第65ゲート電極
429: 第65ゲート電極
430: 第66絶縁層
431: 第66金属層
432: 第66絶縁層
433: 第66ゲート電極
434: 第66ゲート電極
435: 第67絶縁層
436: 第67金属層
437: 第67絶縁層
438: 第67ゲート電極
439: 第67ゲート電極
440: 第68絶縁層
441: 第68金属層
442: 第68絶縁層
443: 第68ゲート電極
444: 第68ゲート電極
445: 第69絶縁層
446: 第69金属層
447: 第69絶縁層
448: 第69ゲート電極
449: 第69ゲート電極
450: 第70絶縁層
451: 第70金属層
452: 第70絶縁層
453: 第70ゲート電極
454: 第70ゲート電極
455: 第71絶縁層
456: 第71金属層
457: 第71絶縁層
458: 第71ゲート電極
459: 第71ゲート電極
460: 第72絶縁層
461: 第72金属層
462: 第72絶縁層
463: 第72ゲート電極
464: 第72ゲート電極
465: 第73絶縁層
466: 第73金属層
467: 第73絶縁層
468: 第73ゲート電極
469: 第73ゲート電極
470: 第74絶縁層
471: 第74金属層
472: 第74絶縁層
473: 第74ゲート電極
474: 第74ゲート電極
475: 第75絶縁層
476: 第75金属層
477: 第75絶縁層
478: 第75ゲート電極
479: 第75ゲート電極
480: 第76絶縁層
481: 第76金属層
482: 第76絶縁層
483: 第76ゲート電極
484: 第76ゲート電極
485: 第77絶縁層
486: 第77金属層
487: 第77絶縁層
488: 第77ゲート電極
489: 第77ゲート電極
490: 第78絶縁層
491: 第78金属層
492: 第78絶縁層
493: 第78ゲート電極
494: 第78ゲート電極
495: 第79絶縁層
496: 第79金属層
497: 第79絶縁層
498: 第79ゲート電極
499: 第79ゲート電極
500: 第80絶縁層
501: 第80金属層
502: 第80絶縁層
503: 第80ゲート電極
504: 第80ゲート電極
505: 第81絶縁層
506: 第81金属層
507: 第81絶縁層
508: 第81ゲート電極
509: 第81ゲート電極
510: 第82絶縁層
511: 第82金属層
512: 第82絶縁層
513: 第82ゲート電極
514: 第82ゲート電極
515: 第83絶縁層
516: 第83金属層
517: 第83絶縁層
518: 第83ゲート電極
519: 第83ゲート電極
520: 第84絶縁層
521: 第84金属層
522: 第84絶縁層
523: 第84ゲート電極
524: 第84ゲート電極
525: 第85絶縁層
526: 第85金属層
527: 第85絶縁層
528: 第85ゲート電極
529: 第85ゲート電極
530: 第86絶縁層
531: 第86金属層
532: 第86絶縁層
533: 第86ゲート電極
534: 第86ゲート電極
535: 第87絶縁層
536: 第87金属層
537: 第87絶縁層
538: 第87ゲート電極
539: 第87ゲート電極
540: 第88絶縁層
541: 第88金属層
542: 第88絶縁層
543: 第88ゲート電極
544: 第88ゲート電極
545: 第89絶縁層
546: 第89金属層
547: 第89絶縁層
548: 第89ゲート電極
549: 第89ゲート電極
550: 第90絶縁層
551: 第90金属層
552: 第90絶縁層
553: 第90ゲート電極
554: 第90ゲート電極
555: 第91絶縁層
556: 第91金属層
557: 第91絶縁層
558: 第91ゲート電極
559: 第91ゲート電極
560: 第92絶縁層
561: 第92金属層
562: 第92絶縁層
563: 第92ゲート電極
564: 第92ゲート電極
565: 第93絶縁層
566: 第93金属層
567: 第93絶縁層
568: 第93ゲート電極
569: 第93ゲート電極
570: 第94絶縁層
571: 第94金属層
572: 第94絶縁層
573: 第94ゲート電極
574: 第94ゲート電極
575: 第95絶縁層
576: 第95金属層
577: 第95絶縁層
578: 第95ゲート電極
579: 第95ゲート電極
580: 第96絶縁層
581: 第96金属層
582: 第96絶縁層
583: 第96ゲート電極
584: 第96ゲート電極
585: 第97絶縁層
586: 第97金属層
587: 第97絶縁層
588: 第97ゲート電極
589: 第97ゲート電極
590: 第98絶縁層
591: 第98金属層
592: 第98絶縁層
593: 第98ゲート電極
594: 第98ゲート電極
595: 第99絶縁層
596: 第99金属層
597: 第99絶縁層
598: 第99ゲート電極
599: 第99ゲート電極
600: 第100絶縁層
601: 第100金属層
602: 第100絶縁層
603: 第100ゲート電極
604: 第100ゲート電極

【特許請求の範囲】

【請求項1】画素TFTと保持容量とを含む画素マトリクス回路を有する半導体装置において、前記画素TFTは、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されていることを特徴とする半導体装置。

【請求項2】画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されていることを特徴とする半導体装置。

【請求項3】画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜となる積層膜で形成されていることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、前記第1配線とはタンタル(Ta)、クロム(Cr)、チタン(Ti)、タンゲスタン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項3において、前記画素TFTのチャネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されていることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項3において、前記第1絶縁層とはタンタル(Ta)、チタン(Ti)、バリウム(Ba)、ハafニウム(Hf)、ビスマス(Bi)、タンゲスタン(W)、トリウム(Th)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物であることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項3において、前記第1

配線はフローティング状態にあることを特徴とする半導体装置。

【請求項8】請求項1乃至請求項3において、前記第1配線は最低電源電位に保持されることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項3において、前記画素TFTはソース配線とゲート配線とに接続され、前記保持容量は前記ソース配線の下および/または前記ゲート配線の下に形成されていることを特徴とする半導体装置。

【請求項10】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項11】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項12】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項13】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項14】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記画素マトリクス回路に含まれる保持容量は、前記第1

1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されており、

前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項13】請求項10乃至請求項12において、前記第1配線とはタンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、あるいは前記導電膜、合金膜またはシリサイド膜を積層した積層膜であることを特徴とする半導体装置。

【請求項14】請求項10乃至請求項12において、前記画素TFTのチャネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されていることを特徴とする半導体装置。

【請求項15】請求項10乃至請求項12において、前記第1絶縁層とはタンタル(Ta)、チタン(Ti)、バリウム(Ba)、ハフニウム(Hf)、ビスマス(Bi)、タングステン(W)、トリウム(Th)、タリウム(Tl)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物であることを特徴とする半導体装置。

【請求項16】請求項10乃至請求項12において、前記画素TFTはソース配線とゲート配線とに接続され、前記保持容量は前記ソース配線の下および/または前記ゲート配線の下に形成されていることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項16に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項18】請求項1乃至請求項16に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】なお、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を

指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0003】

【従来の技術】薄膜トランジスタ(以下、TFTといふ)は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶ディスプレイ(以下、AM-LCDなど)への応用開発が積極的に進められてきた。結晶質半導体膜(代表的にはポリシリコン膜)を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

【0005】ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSFETと同等ではないとされている。MOSFETでも問題となっていたように、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

【0006】一方、MOSFETでは、信頼性を向上させる技術として、LDD(LightlyDoped Drain)構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらには低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

【0007】さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる(重なる)構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD(Gate-drain Overlapped LDD)や、LATID(Large-tilt-angle implanted drain)と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

【0008】また、こういったMOSFETの構造をTFTに応用しようという試みもなされている。しかしながら、GOLD構造(本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。)の場合、LDD構造に比べてオフ電流(TFTがオフ状態にある時に流れる電流)が大きくなってしまうという問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

【0009】

【発明が解決しようとする課題】本願発明では、AM-LCDの各回路を機能に応じて適切な構造の TFT でもって形成し、高い信頼性を有するAM-LCDを提供することを課題とする。延いては、そのようなAM-LCDを有する半導体装置（電子機器）の信頼性を高めることを課題とする。

【0010】また、AM-LCDの画素マトリクス回路においては、オフ電流を極力抑えるための TFT 構造を提供すると共に、保持容量（補助容量ともいう）のキャパシティを改善するための構造を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、画素 TFT と保持容量とを含む画素マトリクス回路を有する半導体装置において、前記画素 TFT は、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されていることを特徴とする。

【0012】また、他の発明の構成は、画素 TFT と保持容量とを含む複数の画素を有する半導体装置において、前記画素 TFT は、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成していることを特徴とする。

【0013】また、他の発明の構成は、画素 TFT と保持容量とを含む複数の画素を有する半導体装置において、前記画素 TFT は、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜となる積層膜で形成されていることを特徴とする。

【0014】なお、上記構成において、前記第1配線としてはタンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いれば良い。

【0015】また、前記画素 TFT のチャネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されている点にも特徴がある。

【0016】また、保持容量の誘電体として機能する前記第1絶縁層としてはタンタル（Ta）、チタン（Ti）、バリウム（Ba）、ハフニウム（Hf）、ビスマス（Bi）、タンゲスタン（W）、トリウム（Th）、タリウム（Tl）、または鉛（Pb）から選ばれた元素を含む酸化物またはハロゲン化物を用いれば良い。

【0017】これらの薄膜は10～1000 nm程度の高い誘電率を有する薄膜であり、保持容量の誘電体として適している。さらには、PZT（チタン酸ジルコニア酸）、BST（チタン酸バリウムストロンチウム）またはY1系材料（タンタル酸ニオブ酸ストロンチウムビスマス）などの強誘電体膜を用いても良い。

【0018】さらに、このような高誘電率膜を用いて形成した保持容量を、画素マトリクス回路のソース配線の下、および／またはゲート配線の下に形成することで開口率を向上させることは有効である。

【0019】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素 TFT と前記ドライバー回路に含まれるNチャネル型 TFT とは、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されており、前記画素 TFT に接続された第1配線は最低電源電位に保持され、前記Nチャネル型 TFT に接続された第1配線は、該Nチャネル型 TFT のゲート電極と同電位に保持されることを特徴とする。

【0020】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素 TFT と前記ドライバー回路に含まれるNチャネル型 TFT とは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素 TFT に接続された第1配線は最低電源電位に保持され、前記Nチャネル型 TFT に接続された第1配線は、該Nチャネル型 TFT のゲート電極と同電位に保持されることを特徴とする。

【0021】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量記録、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されており、前記画素TFTにて接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTにて接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする。

【0022】

【発明の実施の形態】【実施形態1】本願発明の実施の形態について、Nチャネル型TFT（以下、NTFTという）とPチャネル型TFT（以下、PTFTという）を組み合わせたCMOS回路（インバータ回路）を例にとって説明する。

【0023】なお、断面構造は図1（A）に示し、上面図は図1（B）に示す。また、図1（A）、（B）は同一の符号を用いて説明する。また、図1（B）のA-A'、B-B'、C-C'で切った時の断面図は図1（A）においてA-A'、B-B'、C-C'で示した各断面図に対応する。

【0024】まず、図1（A）において、100は基板、101は下地膜、102a、102b、102cは第1配線、103は第1絶縁層、104は第2絶縁層、90は活性層の下地となる酸化珪素膜である。NTFTの活性層は、ソース領域105、ドレイン領域106、低濃度不純物領域（LDD領域）107a、107b、チャネル形成領域108で形成される。また、PTFTの活性層は、ドレイン領域109、ソース領域110、チャネル形成領域111で形成される。

【0025】また、112は第2絶縁層、その上には導電膜で形成された第2配線113a、113b、113c、113dを有する。また、114は第1層間絶縁層、115～117は第3配線であり、115、116がソース配線（ソース電極を含む）、117がドレイン配線（ドレイン電極を含む）である。

【0026】以上のような構造でなるCMOS回路において、基板100としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミック基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予め表面を酸化して酸化珪素膜を設けておくと良い。

【0027】また、下地膜101としては酸化珪素膜、

窒化珪素膜、酸化窒化珪素膜など珪素を主成分とする絶縁膜を用いても良いが、酸化タンタル膜のように緻密で堅い絶縁膜を用いることも好ましい。

【0028】また、第1配線は図1（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指示してある。

【0029】この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャネル形成領域108の電荷制御は第1配線102aと、第1配線102aと同電位（または所定の電位）が与えられた第2配線（メインゲート電極）113aとで行われ、第1配線102aのみがLDD領域107a、107bにゲート電圧（または所定の電圧）を印加することができるよう構造となっている。

【0030】従って、第2配線113aのみをゲート電極として機能させた場合はGOLD構造にならない（LDD構造となる）が、第1配線102aと組み合わせることで初めてGOLD構造を実現することができる。この構造の利点は後述するとして、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0031】なお、第1配線の材料としては導電性を有していないればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。例えばタンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分（成分比が50%以上）とする導電膜、あるいは前記元素を組み合わせた合金膜やシリサイド膜、さらにはそれら導電膜、合金膜またはシリサイド膜を組み合わせた積層膜を用いても構わない。

【0032】具体的には、タンタル膜、クロム膜、またはタングステンシリサイド膜とシリコン（珪素）膜との積層膜が好ましい。タングステンシリサイド膜とシリコン膜との積層膜を用いる場合、活性層に近い側にシリコン膜を設けるような構造とすることが好ましい。

【0033】また、本実施形態の特徴としては、第1配線102aがNTFTのみに設けられ、PTFTには設けられない点が挙げられる。図1（A）の場合、PTFTはオフセット領域もLDD領域も形成されていないが、どちらか一方または両方を備えていても構わない。

【0034】このような構造であるため、図1（B）に示すように第1配線は電源供給部から接続部を経由してNTFTに至り、NTFTのサブゲート電極として機能することになる。

【0035】また、第2配線も全て同一パターンからなる配線であるが、説明の便宜上、部分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1（A）に

おいて、113aがNTFTの活性層との交差部、113bがPTFTの活性層との交差部、113cがTFT間の接続部、114dが電源供給部である。

【0036】第2配線は導電膜であれば如何なる膜を用いてもよく、タンタル(Ta)膜、クロム(Cr)膜、チタン(Ti)膜、タングステン(W)膜、モリブデン(Mo)膜、シリコン(Si)膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。さらに、同種または異種の導電膜を積層して形成しても構わない。

【0037】以上のように、本実施形態のCMOS回路にはNTFTに第1配線(サブゲート配線)が設けられ、第1配線に第2配線(メインゲート配線)と同じ電圧を印加するか、所定の電圧を印加することでNTFTをGOLD構造と/orすることができる。

【0038】【実施形態2】本願発明の実施の形態について、NTFTを画素TFTとして用いた画素マトリックス回路を例にとって説明する。なお、この画素マトリックス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称で記載された配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

【0039】なお、断面構造は図2-(A)に示し、上面図は図2-(B)に示す。また、図2-(A)、-(B)は同一の符号を用いて説明する。また、図2-(B)のA-A'、B-B'で切った時の断面図は図2-(A)においてA-A'、B-B'で示した各断面図に対応する。

【0040】まず、図2-(A)において、200は基板、201は下地膜、202a～202cは第1配線、203は容量配線、204は第1絶縁層、205は第2絶縁層、91は活性層の下地となる酸化珪素膜である。画素TFT(NTFT)の活性層は、ソース領域206、ドレイン領域207、低濃度不純物領域(LDD領域)208a～208d、チャネル形成領域209a、209bで形成される。

【0041】なお、画素TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上のTFTを直列に接続したマルチゲート構造としても構わない。また、ソース領域とドレイン領域は画素TFTが充電するか放電するかで入れ替わることは言うまでない。

【0042】この時、容量配線203と半導体領域210(具体的にはドレイン領域207から延長した部分)との間で第1絶縁層204および酸化珪素膜91を誘電体とする保持容量が形成される。この際、第1絶縁層204としてはタンタル(Ta)、チタン(Ti)、パリウム(Ba)、ハフニウム(Hf)、ビスマス(Bi)、タングステン(W)、トリウム(Th)、タリウム(Tl)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物を用いることができる。

【0043】これらの酸化物は高い比誘電率を示すことが知られており、10～100程度の誘電率を示す。本実施形態の特徴の一つは、このような高誘電率膜を保持容量の誘電体として用いることにある。例えば、酸化タンタル膜は比誘電率が25であり、容易にスパッタ法で形成することができるので好適である。

【0044】なお、誘電体の一部となる酸化珪素膜91は第1絶縁層204と半導体領域210との界面が反応してしまうのを防ぐバリア層として設けている。また、活性層となる半導体層を形成する際、酸化珪素膜91と半導体層とを大気解放しないで連続的に成膜することが好ましい。これにより大気中のボロン等の元素が活性層の下表面に付着して汚染されることを防ぐことができると。

【0045】また、第2絶縁層211の上には第2配線212a、212b、212cが設けられる。第2配線212aはいわゆるゲート配線であり、212b、212cが実質的なゲート電極である。

【0046】また、213は第1層間絶縁層、214、215は第3配線であり、214がソース配線(ソース電極を含む)、215がドレイン配線(ドレイン電極を含む)である。さらに、その上には第2層間絶縁層216、ブラックマスク217a、217b、第3層間絶縁層218、画素電極219が設けられる。

【0047】また、第1配線は図2-(B)に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区分した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層との交差部であり、ゲート電極として機能する部分である。

【0048】なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、材料等の説明は省略する。

【0049】この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能ではなく、固定電位にしておくか、フローティング状態(電気的に孤立した状態)にしておく。即ち、画素TFTにおいてはTFTの動作に影響を与えず、遮光層としてのみ機能するような電位に保持しておくことが必要である。

【0050】固定電位としては、少なくともビデオ信号の最低電位(具体的にはビデオ信号が-8～8Vで振幅するならば-8Vを指す)よりも低い電位、好ましくは形成される回路全体の最低電源電位または最低電源電位よりも低い電位にしておくことが望ましい。

【0051】【0051】例えば、AM-LCDの場合、ドライバ回路やその他の信号処理回路と画素マトリックス回路とで様々な電源供給線が形成され、それぞれに所定の電位が与えられている。即ち、ある基準となる最低電位があり、それを基準として様々な電圧が形成される。最低電

源電位とは、それら回路の全てにおいて基準となる最低電位を指す。

【0052】第1配線を上述のような電位に保持しておることで、ホットキャリア注入によって発生したホールをチャネル形成領域から引き抜くことが可能となり、ホールの蓄積によるパンチスルーエフェクトを防ぐことができる。

【0053】このようにチャネル形成領域209a、209bの電荷制御は第1配線212bと第1配線212cことで行われ、LDLD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

【0054】なお、画素TFT部では第1絶縁層204、第2絶縁層205および酸化珪素膜91とで形成された横層膜が、第1配線202b、202cとチャネル形成領域212b、212cとの間に存在する。構造上、ここに寄生容量が形成されてしまうが、この寄生容量（マルチゲート構造の場合は各ゲート電極下に形成される寄生容量の総和）が保持容量の3分の1以下（好ましくは10分の1以下）であればTFTの動作には影響を与えない。

【0055】このように本実施形態に示した画素マトリクス回路では画素TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造（シングルゲート構造とダブルゲート構造との違いは除外する）である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング状態にしてLDLD構造として用いる点に違いがある。

【0056】即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDLD構造を使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

【0057】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0058】

【実施例】【実施例1】本実施例では、「実施形態1」で説明したCMOS回路の作製方法について説明する。説明には図3を用いる。

【0059】まず、基板300としてガラス基板を用意し、その上に200nm厚の酸化タンタル膜をスパッタ法で形成して下地膜301とした。さらに、その上に第1配線302a、302b、302cを形成した。第1配線の材料としては、スパッタ法によりタンタル膜を形成して用いた。タンタル膜の表面は酸化膜を設けても良かった。

【0060】勿論、第1配線302a、302b、302

cは導電性を有する膜であれば良いので、他の金属膜や合金膜等またはそれらの横層膜を用いても構わない。なお、チーバー角の小さいバターン形成が可能な膜を用いると平坦性を向上させることができるので有利である。【0061】次に、再びスパッタ法により酸化タンタル膜を形成した。本実施例では膜厚を1.0～5.0μm（好ましくは5.0～30.0nm、さらに好ましくは1.00～2.00nm）とした。ここで形成された酸化タンタル膜303は画素マトリクス回路では保持容量の誘電体として用いられる。

【0062】なお、酸化タンタル膜以外にもバリウム（Ba）、ハニウム（Hf）、ビスマス（Bi）、タンゲステン（W）、トリウム（Th）、タリウム（Tl）、または鉛（Pb）から選ばれた元素を含む酸化物を用いることも可能である。基本的には比誘電率が1.0以上（好ましくは2.0以上）の薄膜であれば如何なる材料を用いても良い。

【0063】次に、珪素（シリコン）を含む絶縁膜となる第2絶縁層304を形成した。本実施例ではまず5.0nmの窒化珪素膜を成膜し、その上に8.0nmの酸化珪素膜を積層した構造を採用した。勿論、酸化珪素膜単層でも良いし、 SiO_{x}Ny ($x/y = 0.01 \sim 1.00$) で示される酸化窒化珪素膜（窒化酸化珪素膜ともいう）を用いても良い。

【0064】酸化窒化珪素膜を用いる場合、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることができるのである。また、窒化珪素膜中にボロンを添加することにより熱伝導性を高め、放熱効果を向上させることは有効である。

【0065】次に、1.0nm厚の酸化珪素膜92を形成し、その上に5.0nm厚の非晶質珪素膜（図示せず）を大気解放しないで連続的に形成した。本出願人は活性層の下表面に付着した大気中のボロンがTFT特性（特にしきい値電圧）に悪影響を与えることを引き止めていた。しかしながら、本実施例のように薄い酸化珪素膜と非晶質珪素膜とを連続形成することで、このような問題を解決することができた。さらに、この酸化珪素膜は画素マトリクス回路において保持容量の誘電体となる酸化タンタル膜が活性層と反応することを防ぐバリア層としても機能する。

【0066】次に、特開平7-130652号公報（米国出願番号08/329,644または米国出願番号08/430,623に対応）の技術を用いて非晶質珪素膜の結晶化を行い、結晶質珪素膜（図示せず）を得た。同公報記載の技術は、触媒元素を用いて熱結晶化する手段であり、本実施例では触媒元素としてニッケルを用いた。

【0067】さらに、本実施例では特開平10-270363号公報（米国出願番号09/050,182に対応）に記載された技術を用いて、結晶化後に不要となっ

たニッケルを結晶質珪素膜中から除去した。

【0068】特開平10-270363号公報に記載された技術は、結晶化用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

【0069】次に、形成した結晶質珪素膜をバターニングして活性層305、306を形成した。なお、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。また、珪素膜以外に、シリコングルマニウム膜等の化合物半導体膜を用いることも可能である。

【0070】なお、活性層305、306を形成する前または後で結晶質珪素膜中に13族に属する元素および/または15族に属する元素を添加しても良い。ここで添加される元素はTFTのしきい値電圧を制御するための元素である。

【0071】例えば、まず13族に属する元素としてボロンを結晶質珪素膜全体に添加してプラス方向のしきい値制御を行い、次に選択的にリンを添加してマイナス方向のしきい値制御を行って、NTFTおよびPTFTのしきい値電圧が所望の値になるように調節すれば良い。

【0072】次に、活性層305、306を覆って、酸化珪素膜、酸化塩化珪素膜、塩化珪素膜またはそれらの積層膜でなる第3絶縁層307を形成した。ここではプラズマCVD法で酸化塩化珪素膜を 1.0nm の厚さに形成した。この第3絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

【0073】次に、後に第2配線となる 2.00nm 厚のタンタル膜308を形成した。タンタル膜308の成膜方法はスパッタ法でもCVD法でも良い。

【0074】こうして図3(A)の状態が得られたら、レジストマスク309a、309bを形成し、タンタル膜308をエッチングした。こうしてタンタル膜でなる第2配線310aが形成された。この第2配線310aは図1(A)の第2配線(メインゲート配線)313aに相当する。また、タンタル膜310bはNTFTとなる領域以外を隠すようにして残される。

【0075】次に、15族に属する元素(代表的にはリンまたは鉻素)を添加し、低濃度不純物領域311、312を形成した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないオンドーピング法を用いて添加した。また、添加条件としては、加速電圧を 9.0keV とし、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度でリンが添加されるようにドーズ量を調節した。この濃度が後にLDD領域の不純物濃度になるので精密に制

御する必要がある。(図3(B))

【0076】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n-)の添加工程といいう。

【0077】次に、レジストマスク309a、309bを除去し、新たにレジストマスク313a～313dを形成した。そしてタンタル膜310bをエッチングして第2配線314a～314cを形成した。この第2配線314a～314cはそれぞれ順に図1(A)の第2配線313b、313c、313dに相当する。

【0078】次に、13族に属する元素(代表的にはボロンまたはガリウム)を添加し、ドレイン領域315、ソース領域316を形成した。また、このとき同時にPTFTのチャネル形成領域317が画定した。本実施例では13族に属する元素としてボロンを用い、質量分離を行わないオンドーピング法を用いて添加した。添加条件としては、加速電圧を 7.5keV とし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$)の濃度でボロンが添加されるようにドーズ量を調節した。(図3(C))

【0079】なお、本明細書中ではこのような条件で行われた不純物添加工程をボロン(p⁺⁺)の添加工程といいう。

【0080】次に、レジストマスク313a～313dを除去した後、再びレジストマスク318a～318dを形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク318a、318c、318dは第1配線がマスクとなり、レジストマスク318bは第2配線がマスクとなっている。この時、第1配線をマスクとなる場合は少し光の回り込みがあるので、第1配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。即ち、この回り込み量を制御することでLDD領域の幅(長さ)を制御することができる。

【0081】勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

【0082】こうしてレジストマスク318a～318dが形成されたら、15族に属する元素(本実施例ではリン)の添加工程を行った。ここでは加速電圧を 9.0keV とし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$)の濃度でリンが添加されるようにドーズ量を調節した。

【0083】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n⁺)の添加工程といいう。

【0084】この工程によりNTFTのソース領域319、ドレイン領域320、LDD領域321およびチャネル形成領域322が画定した。また、この工程ではPTFTのドレイン領域323とソース領域324にモリ

ンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N型に反転しないためP型を維持したままとなる。

【0085】こうしてNTFTおよびPTFTに一導電性を付与する不純物元素を添加したら、ファーネスアーナー法、レーザーアニール法、ランブアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

【0086】こうして図3(D)の状態が得られたら、酸化珪素膜、空化珪素膜、酸化空化珪素膜、樹脂膜またはそれらの積層膜でなる第1層間絶縁層325を形成した。そしてコントラクトホールを開けてソース配線326、327、ドレイン配線328を形成した。(図3(E))

【0087】本実施例では第1層間絶縁層325として、最初に空化珪素膜を50nm形成し、さらには酸化珪素膜を950nm形成した2層構造とした。また、本実施例ではソース配線326、327およびドレイン配線328を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をバーニングして形成した。

【0088】こうして図3(E)に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1(A)に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1(A)の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、NTFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

【0089】なお、本実施例で説明したCMOS回路はAM-LCDにおいてはドライバー(駆動)回路(シフトレジスタ回路、パッファ回路、レベルシフタ回路、サンプリング回路など)やその他の信号処理回路(分割回路、D/Aコンバータ回路、r補正回路、オペアンプ回路など)を構成する基本単位回路である。

【0090】本実施例ではNTFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

【0091】(実施例2)本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使って説明することとする。

【0092】まず、ガラス基板300上に酸化タンタル膜でなる下地膜301を形成し、その上に第1配線401a、401b、401c、容量配線402を形成した。

なお、第1配線401aは図2(A)の第1配線202aに、第1配線401bは図2(A)の第1配線202bに、第1配線401cは図2(A)の第1配線202cに相当する。

【0093】また、容量配線402は図2(A)の容量配線203に相当する。また、これら第2配線および容量配線の材料は実施例1で説明した通りである。

【0094】次に、実施例1を参考にして第1絶縁層303、第2絶縁層304を形成した。第2絶縁層304を形成したら、ここで保持容量を構成する容量配線402において第2絶縁層304を選択的にエッチングして、第1絶縁層303を露呈させる。この第1絶縁層の露呈した部分が後に保持容量の誘電体として機能する部分となる。

【0095】こうして第2絶縁層304のエッチングが終了したら、酸化珪素膜92と非晶質珪素膜(図示せず)を大気解放しないで通常的に形成し、実施例1に示した結晶化工程とゲッタリング工程を経て画素 TFTの活性層403を形成した。

【0096】この時、活性層は第1配線401b、401cに重なる部分で画素TFTを形成し、容量配線402と重なる部分で保持容量を形成する。即ち、画素TFTと保持容量とは活性層を通して物理的にも繋がっている。

【0097】こうして活性層403を形成したら、第2絶縁層307、タンタル膜308を形成した。こうして図4(A)の状態が得られた。なお、同時形成されているCMOS回路は図3(A)の状態にある。

【0098】次に、レジストマスク404a～404cを形成し、タンタル膜308のエッチングを行った。こうして第2配線405a～405cが形成された。なお、第2配線405aは図2(A)の第2配線212aに、第2配線405bは図2(A)の第2配線212bに、第2配線405cは図2(A)の第2配線212cに相当する。

【0099】次に、後にLDD領域を形成するためのリン(n-)の添加工程を行い、低濃度不純物領域406～408を形成した。この工程は図3(B)の工程に対応する。従って、図4(B)の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

【0100】次に、図3(C)に相当する工程を行った。この工程では、画素マトリクス回路においてはレジストマスク409で全面を覆い、ボロンが全く添加されないようにした。(図4(C))

【0101】次に、レジストマスク409を除去した後、裏面露光法によりレジストマスク410a～410dを形成した。そして、リン(n-)の添加工程を行い、ソース領域411、ドレイン領域412、LDD領域413a～413dおよびチャネル形成領域414a、414bを形成した。この時、裏面露光条件やリンの添加条件

件等は実施例1の図3(D)の工程に従えば良い。

【0102】なお、図4(D)では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TFTの場合には画素への充電時と放電時とでソース領域とドレイン領域が逆転するので明確な区別はない。

【0103】また、415で示される領域(保持容量の電極として機能する半導体領域)はレジストマスク410dで隠されるため、結果的にLDD領域413a~413bと同濃度でリンが添加された領域(同一組成の領域)となる。この領域は、第1配線402に電圧を印加することで電極として機能させることができ、第1配線402、第1絶縁層303および半導体領域415で保持容量が形成される。

【0104】なお、図4(B)の工程で容量配線402の上にレジストマスクを形成すれば半導体領域415をチャネル形成領域414a、414bと同一組成の、真性または実質的に真性な半導体領域とすることも可能である。

【0105】このように、本実施例はチャネル形成領域または低濃度不純物領域(LDD領域)と、保持容量の電極として機能する半導体領域とが同一の半導体層で形成されている点も特徴としている。

【0106】こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様に不純元素の活性化工程を行った。そして、第1層間絶縁層325を形成し、コンタクトホールを形成してソース配線416、ドレイン配線417を形成した。こうして図4(E)の状態を得た。この時、CMOS回路は図3(E)の状態となっている。

【0107】次に、ソース配線416およびドレイン配線417を覆って第2層間絶縁層418を形成した。本実施例ではバッシベーション膜として30nm厚の塗化珪素膜を形成し、その上に70.0nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを使用することができる。

【0108】次に、100nm厚のチタン膜であるブラックマスク420a、420bを形成した。ブラックマスク420a、420bは遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タンクスチレン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0109】次に第3層間絶縁層421を形成した。本実施例では1μm厚のアクリル膜としたが、第2層間絶縁層と同様の材料を用いることができる。

【0110】次に、第3層間絶縁層421にコンタクトホールを形成し、透明導電膜(代表的にはITO膜)である画素電極422を形成した。この時、画素電極42

2はドレイン配線417と電気的に接続される。従って、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパー形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに効果があった。

【0111】なお、本実施例ではドレイン配線417を介して画素TFTと画素電極422が電気的に接続されているが、画素TFTのドレイン領域412に対して直接画素電極422を接続するような構造としても構わない。

【0112】こうして図5(A)に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属膜(アルミニウムを主成分とする金属膜など)を用いることで容易に反射型AM-LCDを作製することが可能である。

【0113】また、図5(A)の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

【0114】図5(A)の状態が得られたら、画素電極422上に配向膜423を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板424上にカラーフィルタ425、透明電極(対向電極)426、配向膜427を形成したものを準備した。そして、それぞれの配向膜423、427に対してラビング処理を行い、シール材(封止材)を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶428を保持させた。

【0115】なお、セルギャップを維持するためのスペースは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペースがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0116】こうして図5(B)に示す構造のAM-LCD(画素マトリクス回路の部分)が完成した。本実施例に示した第2層間絶縁層418と第3層間絶縁層421は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク420a、420bや画素電極422を形成すると同時に、それらを構成する材料で配線を形成し、その配線をAM-LCDのドライバー回路や信号処理回路の引き回し配線(第4配線または第5配線)として用いることも可能である。

【0117】本実施例の場合、画素TFTに設けられた第1配線401b、401cは最低電源電位に設定した。こうしておくことで、ホットキャリア注入によってドレン端部に生じたホール(正孔)を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

【0118】〔実施例3〕本実施例では本願発明の画素マトリクス回路やCMOS回路（具体的にはCMOS回路で形成されたドライバ回路や信号処理回路）を具備したAM-LCDの外観を図6に示す。

【0119】アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路（ソースドライバ回路）603、走査線駆動回路（ゲートドライバ回路）604、信号処理回路（信号分割回路、D/Aコンバータ回路、アダプタ回路等）605が形成され、FP-C（フレキシブルプリントサーキット）606が取り付けられている。なお、607は対向基板である。

【0120】ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく図示したブロック図を図7に示す。

【0121】図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲートドライバ回路を形成している。

【0122】なお、図7に示したAM-LCDのブロック図ではゲートドライバ回路を、画素マトリクス回路を挟んで設け、それぞれ同一ゲート配線を共有している。即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0123】また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソースドライバ回路を形成している。画素マトリクス回路を挟んでソースドライバ回路と反対側にはプリチャージ回路14が設けられている。

【0124】本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバ回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えればよい。

【0125】〔実施例4〕本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じて構造を異なる例を示す。

【0126】なお、CMOS回路の基本構造は図1(A)に示した構造、画素マトリクス回路の基本構造は図2(A)に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

【0127】まず、図8(A)に示した構造はNTFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域801を設けた構造である。ドライバ回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵

抗成分は極力排除する必要がある。

【0128】本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

【0129】従って、必ずしもチャネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はない。却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8(A)のような構造とすることは動作速度を改善する上で有効である。

【0130】なお、図8(A)の構造はソース領域とドレイン領域とが入れ替わる画素 TFT のような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されたため、図8(A)のような構造を実現することができる。

【0131】次に、図8(B)は基本的には図8(A)と同様であるが、LDD領域802の幅が図8(A)よりも狭く形成されている。具体的には0.050~0.5μm（好ましくは0.1~0.3μm）とする。図8(B)の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

【0132】このような構造は実際にはシフトレジスタ回路のように3~5Vといった低電圧で駆動し、高運動作を要求するような回路に適している。動作電圧が低いのでLDD領域（厳密にはゲート電極にオーバーラップしたLDD領域）が狭くなってしまってホットキャリア注入の問題は顕在化しない。

【0133】勿論、場合によってはシフトレジスタ回路のみNTFTのLDD領域を完全になくすようなどもできる。その場合、同じドライバ回路内でも、シフトレジスタ回路のNTFTにはLDD領域がなく、他の回路には図1(A)や図8(B)に示した構造を採用するようなこともできる。

【0134】次に、図8(C)はNTFTをダブルゲート構造、PTFTをシングルゲート構造としたCMOS回路の例である。この場合、チャネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

【0135】図3(D)に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8(C)に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

【0136】しかし、本実施例のようにゲート配線（第

2配線) 807a, 807bと第1配線808, 809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

【0137】このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソースードレイン間にかかる電界を分散させて緩和する効果がある。

【0138】次に、図8(D)の構造は画素マトリクス回路の一実施形態である。図8(D)の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領域809, 810を設ける。即ち、二つのチャネル形成領域811と812の間にLDD領域を設けない構造とする。

【0139】画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイン領域とが頻繁に入れ替わることになる。従って、図8(D)の構造とすることでどちらがドレイン領域となってもチャネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャネル形成領域811と812の間の領域は電界集中がないで抵抗成分となるLDD領域をなくした方がオン電流(TFTがオン状態にある時に流れる電流)を大きくするには有効である。

【0140】なお、図8(A)～(D)の構造において、ソース領域側のチャネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0141】なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0142】【実施例5】本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、第2配線の一部の構造を変えた場合の例を図9に示す。なお、図9(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0143】図9(A)のCMOS回路は、第2配線のうち電源供給部に相当する部分のみ第1導電層901a、第2導電層901bとを積層して形成した積層膜901で構成する。本明細書中では901で示した配線構造をクラッド構造と呼ぶ。

【0144】このようなクラッド構造において、第1導電層901aの材料としてはタンタル、チタン、クロム、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることができる。また、第2導電層901bの材料としては鋼またはアルミニウムを主成分とする(成分比が50%以上)金

屬膜を用いることが望ましい。

【0145】このような構造とした場合、第2配線の電源供給部(図1(B)のl13dで示される部分)は第1導電層901aと第2導電層901bで覆った構造となる。ただし、この構造では第1導電層901aの構成元素であるアルミニウムや鋼が第3絶縁層(第2配線の下地になる絶縁層)中に拡散する恐れがある。そのため、第3絶縁層の表面に塞化珪素膜を設けておくと、アルミニウムや鋼の拡散を効果的に防止することが可能である。

【0146】また、本実施例の構造は画素マトリクス回路に対しても適用できる。図9(B)の画素マトリクス回路は、ゲート配線がタンタル膜のみの単層構造でなく、ゲート配線の中でも配線抵抗を抑えたい部分(ゲート配線のうちゲート電極として機能しない部分)には上記クラッド構造を採用している。

【0147】勿論、図9(A)、図9(B)に示した回路はどちらも同一基板上に同時に形成されることは言うまでもない。

【0148】また、実施例3のAM-LCDに適用することもできるし、実施例4に示した構成と組み合わせることも可能である。

【0149】【実施例6】本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、NTFTのLDD領域の配線を異なるものとした場合の例を図10に示す。なお、図10(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0150】図10(A)に示したCMOS回路では、NTFTのゲート電極11がLDD領域12a, 12bに重なっている部分と重なっていない部分とを有する構造となっている。この構造において、ゲート電極11がLDD領域12a, 12bに重なっている部分の長さは0.1～3.5μm(代表的には0.1～0.5μm、好みまでは0.1～0.3μm)とし、ゲート電極11がLDD領域12a, 12bに重なっていない部分の長さは0.5～3.5μm(代表的には1.5～2.5μm)とすれば良い。

【0151】このような構造では、ゲート電極11とLDD領域12a, 12bとが重なる部分では実質的にGOLD構造と同様の効果を示し、重ならない部分では実質的にLDD構造と同様の効果を示す。なお、この重なり加減はマスク合わせで決定しても良いし、光の回り込み量の制御によって実現しても良い。

【0152】このような構造の特徴としては、ゲート電極に重なったLDD領域によりオン電流の劣化が防がれ、さらにその外側に設けられたゲート電圧が印加されないLDD領域によりオフ電流の増加が防がれる。従って、CMOS回路において、オフ電流も抑えたい場合には図10(A)の構造が有効である。

【0153】図10（B）に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極13a、13bはどちらもLDD領域14a～14dがゲート電極13a、13bと重なる領域および重ならない領域を有した構造となっている。この場合、第1配線202b、202cはサブゲート配線として機能させないので、ゲート電極13a、13bのみでチャネル形成領域の電荷が制御される。

【0154】「実施形態2」で説明した画素TFTの構造では、画素TFTが完全なLDD構造として動作するような構造となっている。しかしながら、図10（B）の構造することでホットキャリア注入に強い（オン電流の劣化がない又は抑制された）画素TFTを実現することができる。

【0155】なお、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成とも自由に組み合わせることが可能である。

【0156】〔実施例7〕本実施例ではドライバー回路に用いるCMOS回路において、NTFTのオフ電流を低減するための構造について図11を用いて説明する。

【0157】図11において、NTFTのLDD領域21、22は、実質的に第1配線102aに重なっている部分と重なっていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図11のNTFTはゲート電極に重なったLDD領域の外側に、ゲート電極に重なっていないLDD領域を有する構造となる。

【0158】このような構造は実施例7でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0159】また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0160】また、本実施例の構造を実現するためにには、実施例1の図3（D）に示した工程において裏面露光法を用いなければならない。即ち、通常のマスク合わせにより第1配線よりも幅の広いレジストマスクを設け、その後、リン（n+）の添加工程を行えば本実施例の構造を容易に得ることができる。

【0161】なお、LDD領域の長さ（ゲート電極に重なっている部分と重なっていない部分の長さ）は実施例7に示した範囲を参考にすれば良い。

【0162】なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～6に示した構成とも自由に組み合わせることが可能である。

【0163】〔実施例8〕本実施例では、実施例1または実施例2に示した活性層を形成するにあたって熱結晶

化以外の手段を用いた場合について説明する。

【0164】具体的には、非晶質半導体膜の結晶化を公知のレーザー結晶化手段により行う例を示す。レーザー光としては代表的にはエキシマレーザー光が用いられるが、アルゴンレーザー光、YAGレーザー光等を用いても良い。

【0165】エキシマレーザー光としては、KrFガス、XeClガス、ArFガス等を冷気ガスとして用いることが知られている。また、本実施例では、このようなエキシマレーザー光をパルス発振により形成し、光学系を通して線状に加工して被照射面に照射した。

【0166】なお、本実施例の構成は実施例1乃至実施例7の全ての構成と自由に組み合わせることが可能である。

【0167】〔実施例9〕本実施例は活性層を形成する方法として、実施例1に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-13546号公報（米国出願番号08/951、193に対応）または特開平10-135469号公報（米国出願番号08/951、819に対応）に記載された技術を用いる。

【0168】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ まで低減することができる。

【0169】なお、本実施例の構成は実施例1乃至実施例8の全ての構成と自由に組み合わせることが可能である。

【0170】〔実施例10〕本実施例では、実施例1で示したリンによるゲッタリング工程の別形態について説明する。なお、基本的な工程は図1に従うものであるので、相違点のみに着目して説明する。

【0171】まず、実施例1の工程に従って図3（D）の状態を得た。図12（A）は図3（D）の状態からレジストマスク318a～318dを除去した状態を表している。

【0172】この時、NTFTのソース領域319及びドレイン領域320、並びにPTFTのドレイン領域323及びソース領域324には $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度でリンが含まれている。

【0173】本実施例ではこの状態で、窒素雰囲気中で500～800°C、1～24時間、例えば600°C、12時間の加熱処理の工程を行う。この工程により、添加された13族または15族に属する不純物元素を活性化することができた。さらに、結晶化工程の後残存している触媒元素（本実施例ではニッケル）が矢印の方向に移

動し、前述のソース領域及びドレイン領域に含まれたりの作用によって同領域にゲッタリング（捕獲）することができた。その結果、チャネル形成領域からニッケルを $1 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減することができた。（図12（B））

【0174】図12（B）の工程が終了したら、以降の工程は実施例1の工程に従えば、図3（E）に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0175】なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

【0176】【実施例1】本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図13を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0177】まず、実施例1の工程に従って、図3（B）の工程までを終了させた。図13（A）は図3（B）と同じ状態を示しており、同一の符号を付している。この工程はリン（n-）の添加工程であり、低濃度不純物領域311、312が形成された。

【0178】次に、レジストマスク309a、309bを除去した後、裏面露光法を用いてレジストマスク26a、26bを形成した。そして、実施例1と同様の添加条件でリン（n+）の添加工程を行い、N TFTのソース領域27、ドレイン領域28、LDD領域29a、29bおよびチャネル形成領域30を形成した。（図13（B））

【0179】次に、レジストマスク26a、26bを除去した後、レジストマスク31a～31dを形成し、タンタル膜310bをエッチングして第2配線32a～32cを形成した。そして、この状態で実施例1の添加条件に従ってボロン（p++）の添加工程を行い、P TFTのドレイン領域33、ソース領域34およびチャネル形成領域35を形成した。（図13（C））

【0180】本実施例の場合、ボロンを添加するまではP TFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスルーバットが向上する。

【0181】こうして図13（C）の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現されるが、実施例1との違いはP TFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0182】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件

については実施例1を参考にすれば良い。

【0183】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0184】また、本実施例の構成は実施例4～10の如何なる実施例とも自由に組み合わせることが可能である。

【0185】【実施例12】本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図14に示す。なお、保持容量の構造以外の部分は図2（A）に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0186】図14では第1配線の材料であるタンタル膜と第1絶縁層の材料である酸化タンタル膜を積層形成して、双方を同一形状にエッチングした。そのため、第1配線35a～35cおよび容量配線36の上に、同一形状で第1絶縁層37a～37cおよび38が形成された。

【0187】この構造を実現するには、酸化タンタル膜とタンタル膜との選択比を保ちつつエッチングする技術が必要である。本実施例では酸化タンタル膜を弗美系ガスによるドライエッチングにより除去するが、タンタル膜との選択比をある程度確保することができるので、時間制御によりタンタル膜を残すことができる。その後は、ウェットエッチングにより酸化タンタル膜をマスクとしてタンタル膜のみをエッチングすれば良い。

【0188】また、図14では図示されていないが、第1配線（または容量配線）と第1絶縁層とを同一形状でバーニングする際、第1配線（または容量配線）がデーター形状となるようにエッチングすることは有効である。

【0189】以上のように、本実施例の場合、容量配線36、第1絶縁層（酸化タンタル膜）38および半導体領域39で保持容量が形成される。

【0190】勿論、本実施例は第1配線としてクロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いる場合においても実施することができる。

【0191】なお、本実施例の構成は、実施例3～11の如何なる実施例とも自由に組み合わせることが可能である。

【0192】【実施例13】本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図15に示す。なお、保持容量の構造以外の部分は図2（A）に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0193】本実施例では、図4(A)において第1配線401a～401cおよび容量配線402を形成した後、タンタル膜でなる第1配線および容量配線の熱酸化工程を行い、熱酸化により酸化タンタル膜40a～40cおよび41を形成した。そして、この酸化タンタル膜を保持容量の誘電体として用いた。

【0194】熱酸化工程は4500～600°C(ガラス基板を用いる際は450～500°Cとすることが好ましい)の温度範囲で行うことができる。温度と時間に比例して膜厚は増加するが、その分、第1配線の膜厚も薄くなるため、予めタンタル膜を厚く成膜しておくことが望ましい。

【0195】本実施例を用いた場合、非常に膜質の良い酸化タンタル膜を制御性よく10～50nmといった薄い膜厚で形成できる。誘電体の膜厚が薄いほど保持容量のキャパシティは大きくなるので、非常にキャパシティの大きい(大容量の)保持容量を形成することができる。

【0196】以上のように、本実施例の場合、容量配線402、第1絶縁層(熱酸化により形成された酸化タンタル膜)41および半導体領域42で保持容量が形成される。

【0197】勿論、本実施例は第1配線としてクロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、あるいは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いる場合においても実施することができる。

【0198】また、熱酸化法によって酸化する代わりに公知の陽極酸化法によって酸化タンタル膜を形成することも可能である。

【0199】なお、本実施例の構成は、実施例3～11の如何なる実施例とも自由に組み合わせることが可能である。

【0200】〔実施例14〕本実施例では第1配線または第2配線の材料としてタンタル膜以外の材料を用いた場合について説明する。説明は図16を用いて行う。なお、本実施例は、実施例9に示したような、700～1150°Cといった高い温度での熱処理工程を含む作製工程において特に有効な技術である。

【0201】第1配線は活性層の形成よりも前に形成されているため、活性層を熱酸化するような工程が含まれると、第1配線も高い熱処理が加えられることになる。その時、第1配線を形成する成分元素が酸素と結びつくことで、配線抵抗が増加するといった問題が生じる。本実施例はそのような問題に対する技術である。

【0202】本実施例の場合、図16に示すように基板として耐熱性の高い石英基板45を用いた。勿論、熱酸化膜を設けたシリコン基板や絶縁膜を設けたセラミック基板等を用いても構わない。

【0203】そして第1配線46a～46cおよび容量配線47の材料としては、タングステンシリサイド(WSi_x:x=2～25)膜46alとシリコン(Si)膜46a2とを積層した積層膜を用いた。勿論、この順序は逆でも良いし、シリコン膜でタングステンシリサイド膜を挟んだ三層構造としても構わない。

【0204】なお、第1配線46b、46cおよび容量配線47も同様にタングステンシリサイド膜とシリコン膜とを積層した積層膜を用いていることは言うまでもない。

【0205】このような材料を用いることで後に700～1150°Cといった高い温度で熱処理工程を行ってもタングステンシリサイド膜46alの配線抵抗の増加を招くようなことがない。これはタングステンシリサイド膜に含まれる余剰シリコンが優先的に酸素と結合するため、タングステンが酸素と結合するのを防ぐからである。

【0206】なお、タングステンシリサイド膜の代わりに他の金属シリサイド膜、例えばモリブデンシリサイド(MoSi_x)膜、チタンシリサイド(TiSi_x)膜、コバルトシリサイド(CoSi_x)膜、タンタルシリサイド(TaSi_x)膜等を用いても構わない。

【0207】また、第1配線として単体金属膜(代表的にはタンタル膜、チタン膜、タングステン膜、モリブデン膜)を用いるためには、単体金属膜の上面および/または下面に接してシリコン膜を設ければ良い。こうすることで単体金属膜の酸化を防ぐことができ、配線抵抗の増加を防ぐことができる。

【0208】従って、タンタル膜、タングステン膜といった単体金属膜をシリコン膜で挟んだ三層構造にすれば、本実施例で用いるような高温プロセスにも耐える第1配線を形成することができます。

【0209】なお、本実施例の構成は実施例1～13の如何なる実施例とも自由に組み合わせることが可能である。

【0210】〔実施例15〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図17に示す。なお、保持容量の構造以外の部分は図2(A)に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0211】本実施例では、まず第1絶縁層50を形成した後、第2絶縁層51、酸化珪素膜52、非晶質珪素膜(図示せず)を大気開放しないで連続的に形成した。そして非晶質珪素膜を結晶化して結晶質珪素膜となる活性層を形成し、その上を覆って第3絶縁層53を形成した。

【0212】次に、本実施例では、第3絶縁層53を形成した後で、保持容量となる部分(容量配線の上)において第3絶縁層53、酸化珪素膜52、第2絶縁層51

を一括でエッチングし、第1絶縁層50を露呈させた。

【0213】そして、この状態で第2配線54a～54cおよび上部容量配線55を形成した。勿論、第2配線54a～54cと上部容量配線55は同一層である。

【0214】このように、本実施例では容量配線56、第1絶縁層50および上部容量配線55で保持容量を形成している点に特徴がある。ただし、この場合、容量配線56または上部容量配線55のどちらかが、画素電極57と電気的に接続されていなければならぬ。

【0215】なお、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0216】〔実施例16〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を示す。なお、保持容量の構造以外の部分は図2(A)に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0217】図2(A)に示した保持容量の構造において、容量配線203の上方で、第3絶縁層211の上に上部容量配線(図示せず)を形成する。こうすることで容量配線203、第1絶縁層204および半導体領域210で形成される第1保持容量と、半導体領域210、第3絶縁層211および上部容量配線で形成される第2保持容量が並列に接続された状態になる。

【0218】本実施例を実施すれば保持容量を重ねた構造で形成することができるため、小さい面積で大きなキャパシティを確保することができる。

【0219】なお、本実施例の構成は、実施例1～実施例14の如何なる実施例とも自由に組み合わせることが可能である。

【0220】〔実施例17〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図18(A)、(B)を用いる。なお、図18(B)は図18(A)をA-A'で切った断面図を示している。また、図18(A)、(B)の同一箇所には同一の符号を用いる。

【0221】図18(A)において、61は第1配線、62は半導体層、63は第2配線(具体的にはゲート配線)、64a、64bは第3配線(具体的には64aはソース配線、64bはドレイン配線)である。

【0222】第1配線61は第2配線63と第3配線(ソース配線)64aの下方に重なるようにして形成され、網目状(マトリクス状)のパターン形状を有している。即ち、第1配線61全体が同電位(好ましくは最低電源電位)となっている。

【0223】その上に、第1絶縁層65、第2絶縁層66および酸化珪素膜67を介して半導体層62が形成される。なお、保持容量部では第2絶縁層66が除去され、第1配線61、第1絶縁層65、酸化珪素膜67および半導体層62で保持容量が形成されている。

よび半導体層62で保持容量が形成されている。

【0224】本実施例では、この保持容量部が第2配線63の下方と第3配線(ソース配線)64aの下方に形成されている点に特徴がある。こうすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるとのを防ぐことができため、保持容量からの電荷の漏れを防ぐことができる。

【0225】なお、本実施例では画素TFTがトリプルゲート構造となるように半導体層をバーニングしているが、本実施例はこれに限定されるものではない。

【0226】また、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0227】〔実施例18〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図19(A)、(B)を用いる。なお、図19(B)は図19(A)をA-A'で切った断面図を示している。また、図19(A)、(B)の同一箇所には同一の符号を用いる。

【0228】図19(A)において、71は第1配線、72は半導体層、73は第2配線(具体的にはゲート配線)、74a、74bは第3配線(具体的には74aはソース配線、74bはドレイン配線)である。

【0229】第1配線71は第2配線73と第3配線(ソース配線)74aの下方に重なるようにして形成され、網目状(マトリクス状)のパターン形状を有している。即ち、第1配線71全体が同電位(好ましくは最低電源電位)となっている。

【0230】その上に、第1絶縁層75、第2絶縁層76および酸化珪素膜77を介して半導体層72が形成される。なお、保持容量部では第2絶縁層76が除去され、第1配線71、第1絶縁層75、酸化珪素膜77および半導体層72で保持容量が形成されている。

【0231】本実施例では、この保持容量部が第2配線73の下方と第3配線(ソース配線)74aの下方に形成されている点に特徴がある。こうすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるとのを防ぐことができため、保持容量からの電荷の漏れを防ぐことができる。

【0232】なお、本実施例では画素TFTがトリプルゲート構造となるように半導体層をバーニングしているが、本実施例はこれに限定されるものではない。

【0233】また、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0234】〔実施例19〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図20を用いる。

【0235】図20において、81は第1配線、82は半導体層、83a、83bは第2配線(具体的にはゲート

配線)、8 4 a、8 4 bは第3配線(具体的には8 4 aはソース配線、8 4 bはドレイン配線)である。

【0236】第1配線8 1は第2配線8 3と第3配線(ソース配線)8 4 aの下方に重なるようにして形成され、総目状(マトリクス状)のパターン形状を有している。即ち、第1配線8 1全体が同電位(好ましくは最低電源電位)となっている。

【0237】その上に、第1絶縁層、第2絶縁層および酸化珪素膜を介して半導体層8 2が形成される。なお、保持容量部では第2絶縁層が除去され、第1配線8 1、第1絶縁層、酸化珪素膜および半導体層8 2で保持容量が形成されている。

【0238】本実施例では、この保持容量部が第2配線8 3 bの下方と第3配線(ソース配線)8 4 aの下方に形成されている点に特徴がある。実施例1 7、実施例1 8との違いはゲート配線の下に保持容量を形成するにあたって、選択されていないゲート配線(選択されているゲート配線8 3 aの隣のゲート配線8 3 b)の下方を用いる点である。

【0239】本実施例の場合、ゲート電圧(TFTをオン状態にするためにゲート配線に印加される電圧)が保持容量に印加されないので、第2配線(ゲート配線)と半導体層との間に大きな寄生容量を形成することを防ぐことができる。

【0240】また、このような構造とすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるので防ぐことができるため、保持容量からの電荷の漏れを防ぐことができる。

【0241】なお、本実施例では画素TFTがトリブルゲート構造となるように半導体層をバーニングしているが、本実施例はこれに限定されるものではない。

【0242】また、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0243】【実施例20】本実施例では、動作電圧の違いによってドライバー回路(または他の信号処理回路)で配置するTFTの構造を異なるものとし、最適な回路設計を行う場合の例を示す。

【0244】図1(A)に示したCMOS回路はAM-LCDのゲートドライバー回路、ソースドライバー回路またはその他の信号処理回路を形成するが、回路によって動作電圧は異なる。例えば、図7においてシフトレジスタ回路7 0 2 a、7 0 3 aは動作電圧が5 V程度と低く、高速動作を要求される回路であり、バッファ回路7 0 2 c、7 0 3 cは動作電圧が1.6～2.0 Vと高い回路である。

【0245】シフトレジスタ回路の場合、動作電圧が低いのでホットキャリア注入が殆ど問題とならず、GOLD構造にしなくても大きな問題はない。逆に、第1配線(サブゲート配線)と活性層との間で形成される寄生容

量を排除するためには、第1配線を設けない方が好ましい場合もありうる。ところがバッファ回路の場合、動作電圧が高いのでホットキャリア注入の対策は必須である。そのため、図1(A)に示した構造が有効となる。

【0246】このように同じドライバー回路であっても動作電圧の違いに応じて図1(A)のCMOS回路を用いる回路と、通常のLDD構造のN TFTを有するCMOS回路を用いる回路とが同一基板上に存在する場合がありうる。

【0247】勿論、ドライバー回路以外の信号処理回路(D/Aコンバータ回路、A/Dコンバータ回路など)も動作電圧が低いので通常のLDD構造のN TFTを有するCMOS回路を用いる場合がある。

【0248】なお、本実施例の構成は実施例1～20に示した如何なる実施例とも自由に組み合わせることが可能である。

【0249】【実施例22】図1に示したCMOS回路はN TFTのみに第1配線1 0 2 aが設けられ、P TFTには設けられない構造となっているが、第1配線と同一層の導電層をP TFTの活性層の下に設けることもできる。

【0250】ここでP TFTの活性層の下に設ける導電層は、P TFTの動作に影響を与えない電位(具体的には最低電源電位等)にあるか、フローティング状態に保持される。即ち、完全に遮光層としての機能しか果たさないようになっている。

【0251】また、図2に示した画素マトリクス回路はN TFTで形成されているが、P TFTであっても、活性層に下に遮光層として機能する第1配線を設けることで、画素マトリクス回路を形成することが可能である。

【0252】なお、本実施例の構成は、実施例1～実施例21の如何なる実施例とも自由に組み合わせができる。

【0253】【実施例23】本実施例では動作電圧の違いに応じて第1絶縁層および/または第2絶縁層の膜厚を異ならせる場合について説明する。

【0254】図6に示したAM-LCDの場合、画素マトリクス回路6 0 7の動作電圧は1.6 Vであるが、ドライバー回路6 0 3、6 0 4または信号処理回路6 0 5では動作電圧が1.0 V以下、さらには5 Vの回路もある。

【0255】具体的には図7において、レベルシフタ回路7 0 2 b、7 0 3 b、バッファ回路7 0 2 c、7 0 3 c、サンプリング回路7 0 3 dは画素マトリクス回路7 0 1と同様の動作電圧(1.6～2.0 V)であるが、シフトレジスタ回路7 0 2 a、7 0 3 aまたは信号処理回路(図示せず)は動作電圧が5～1.0 Vと低い。

【0256】このようなシフトレジスタ回路や信号処理回路は高速動作が最も重要なファクターとして考えられるため、ゲート絶縁膜をできるだけ薄くしてTFTの動作速度を上げることが有効である。逆に、バッファ回路

や画素マトリクス回路は高速動作性能がさほど要求されないため、ゲート絶縁膜を厚くして耐圧特性を向上させることが有効である。

【0257】このように動作電圧に応じて回路が要求する仕様が異なる場合、それに応じてゲート絶縁膜の膜厚を異ならせることが有効である。本願発明のN TFTの構造では第1絶縁層と第2絶縁層がゲート絶縁膜として機能しうる絶縁膜であるため、その膜厚を回路に応じて変えることができる。

【0258】例えば、シフトレジスタ回路、信号処理回路（信号分割回路等）のように動作電圧が低く、高速動作が必要な回路は第1絶縁層を厚く（200～400nm）し、第2絶縁層を薄く（10～30nm）することが有効である。なお、第1絶縁層を第2絶縁層に薄くすると動作速度が向上するが寄生容量が大きくなつて周波数特性が悪化するため好ましくない。場合によっては、実施例21のようにシフトレジスタ回路等の場合は第1配線を設けない構造としても良い。

【0259】また、バッファ回路、サンプリング回路または画素マトリクス回路などのように動作電圧が高い場合は、第2絶縁層を100～200nmと厚くして、ゲート絶縁膜としての耐圧特性を高めておくことが望ましい。

【0260】また、画素マトリクス回路では第1配線の影響を極力小さくすることが必要であるため、第1絶縁層の膜厚を200～400nmと厚くしておくこともできる。こうすることで画素TFTに設けられた第1配線を遮光層として機能させることができとなる。

【0261】以上のように、動作電圧の違う回路に応じてゲート絶縁膜（第1絶縁層および/または第2絶縁層）の膜厚を異ならせることは有効である。

【0262】なお、本実施例の構成は実施例1～22の如何なる実施例とも自由に組み合わせることが可能である。

【0263】【実施例24】本実施例では実施例15に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図21に示す。なお、保持容量の構造以外の部分は図17に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0264】本実施例は、実施例17とはほぼ同様の構造となるが、第3絶縁層を部分的にエッチングしてからの工程が多少異なる。

【0265】本実施例の場合、保持容量部において第3絶縁層53を部分的にエッチングした後、まずアルミニウムを主成分とする導電膜85aを形成した。次に、タンタル膜を形成してパターニングを行い、第2配線54a～54cおよびタンタル膜でなる保護配線85bを形成した。

【0266】このように、本実施例ではアルミニウムを

主成分とする導電膜85aとタンタル膜でなる保護配線85b上で上部容量配線85を形成した。即ち、実施的にはタンタル膜でなる容量配線56、酸化タンタル膜でなる第1絶縁層50およびアルミニウムを主成分とする導電膜85aで保持容量が形成された。タンタル膜でなる保護配線85bも上部容量電極の一部として機能するが、アルミニウムを主成分とする導電膜85aを熱から守る保護膜としても機能する。

【0267】なお、本実施例の構成は、実施例3～14、15、16、20～23の如何なる実施例とも自由に組み合わせることが可能である。

【0268】【実施例25】本願発明のTFT構造はAM-LCDのような電気光学装置だけでなく、あらゆる半導体回路に適用することができる。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0269】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することができる。即ち、SiMox、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

【0270】また、本実施例の半導体回路は実施例1～24のどのような組み合わせからなる構成を用いても実現することができる。

【0271】【実施例26】本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0272】【実施例27】【実施例26】本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0273】図22(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0274】図22(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操

作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0275】図22(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0276】図22(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0277】図22(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0278】図22(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0279】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実例の電子機器は実施例1～25のどのような組み合わせからなる構成を用いても実現することができます。

【0280】

【発明の効果】本願発明は同一構造のNFTを、活性層の下側に設けた第1配線の電圧を制御することでGOLD構造として用いたり、LDD構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にGOLD構造とLDD構造を実現することができる。

【0281】そのため、AM-LCDやAM-LCDを

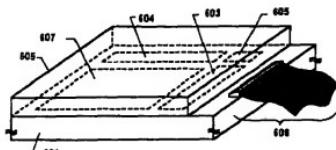
表示ディスプレイとして有する電子機器等の半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

【0282】また、画素マトリクス回路において保持容量の誘電体として酸化タンタル膜等の高誘電率膜を用いることで、小さい面積で大きなキャパシティを有する保持容量を形成することができた。そのため、対角1インチ以下のAM-LCDにおいても開口率を低下させることなく、十分な保持容量を確保することが可能となつた。

【図面の簡単な説明】

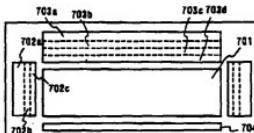
- 【図1】 CMOS回路の構造を示す図。
- 【図2】 画素マトリクス回路の構造を示す図。
- 【図3】 CMOS回路の作製工程を示す図。
- 【図4】 画素マトリクス回路の作製工程を示す図。
- 【図5】 画素マトリクス回路の作製工程を示す図。
- 【図6】 AM-LCDの外観を示す図。
- 【図7】 AM-LCDのブロック構成を示す図。
- 【図8】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図9】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図10】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図11】 CMOS回路の構造を示す図。
- 【図12】 CMOS回路の作製工程を示す図。
- 【図13】 CMOS回路の作製工程を示す図。
- 【図14】 画素マトリクス回路の構造を示す図。
- 【図15】 画素マトリクス回路の構造を示す図。
- 【図16】 画素マトリクス回路の構造を示す図。
- 【図17】 画素マトリクス回路の構造を示す図。
- 【図18】 画素マトリクス回路の構造を示す図。
- 【図19】 画素マトリクス回路の構造を示す図。
- 【図20】 画素マトリクス回路の構造を示す図。
- 【図21】 画素マトリクス回路の構造を示す図。
- 【図22】 電子機器の一例を示す図。

【図6】



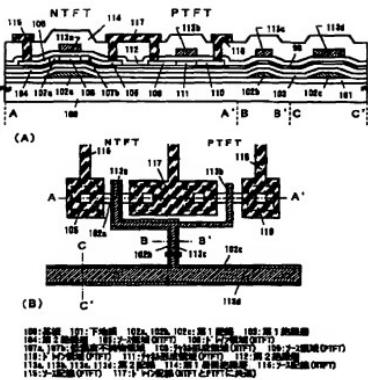
601: 液晶画面を有する基板 602: 画素マトリクス回路
603: ソースドライブ回路 604: ゲートドライブ回路
605: 信号処理回路 606: LCD 607: 対角基板

【図7】

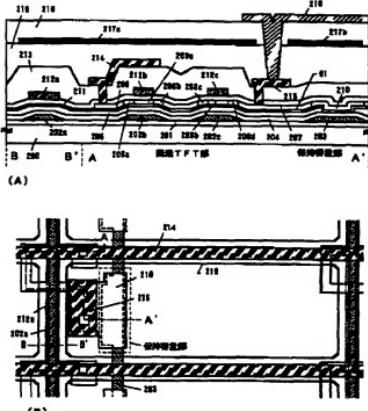


701: 液晶モジュール基板 702a, 702b: フレッジ2回路
702c, 702d: ブラックマスク回路 703c: ブラックマスク
703d: ブラックマスク 704: アンチグレア回路
705a, 705b: プラグ回路 705c: ブラックマスク
705d: ブラックマスク 706: FPC 707: 対角基板

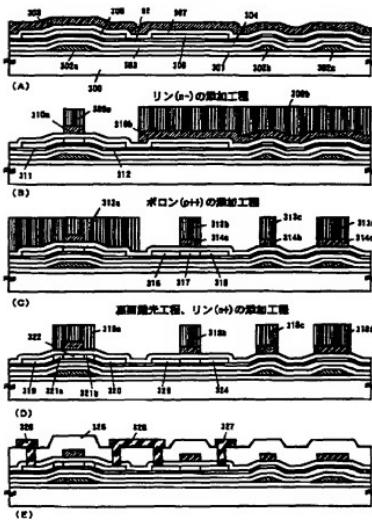
【图 1】



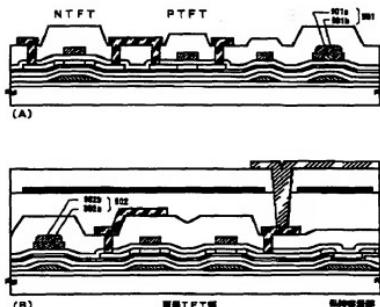
[图2]



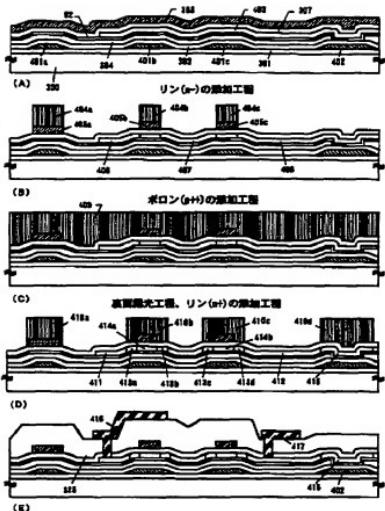
【图3】



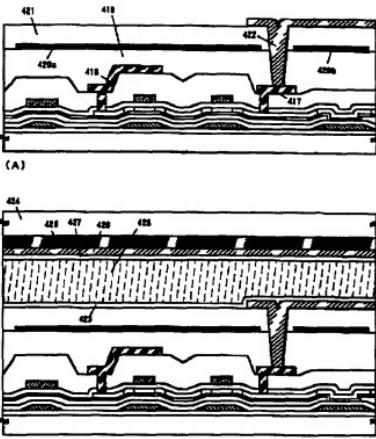
[図9]



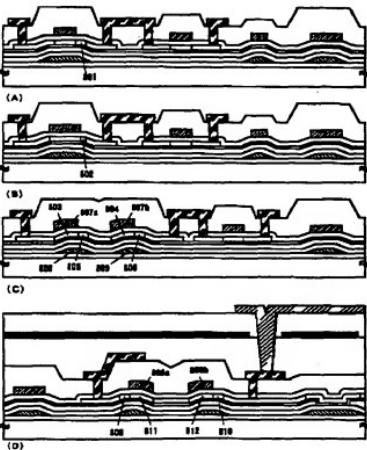
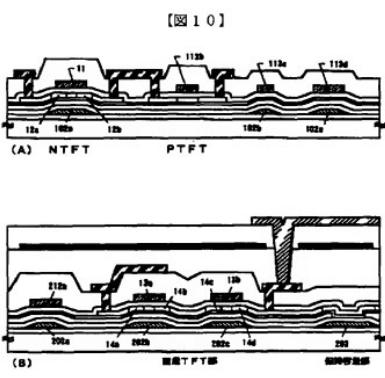
【図4】



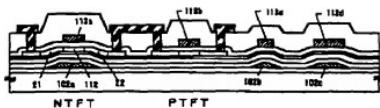
【図5】



【図8】



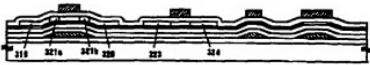
【図11】



【図13】

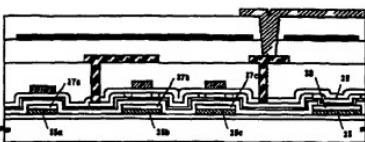


【図12】

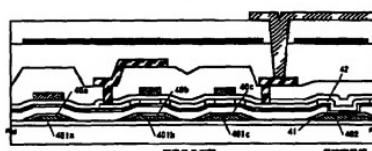


リングによるゲッタリング工程

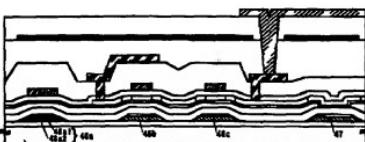
【図14】



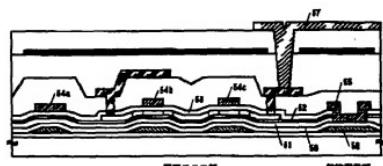
【図15】



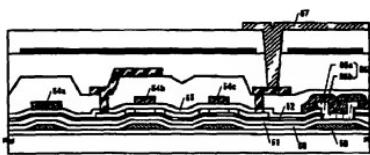
【図16】



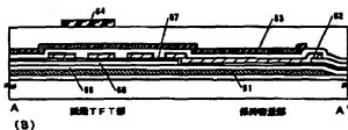
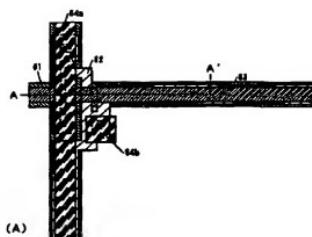
【図17】



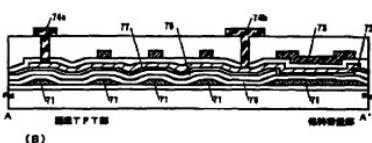
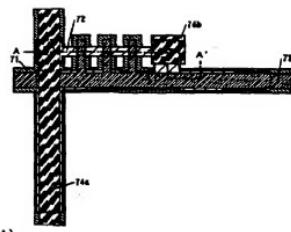
【図21】



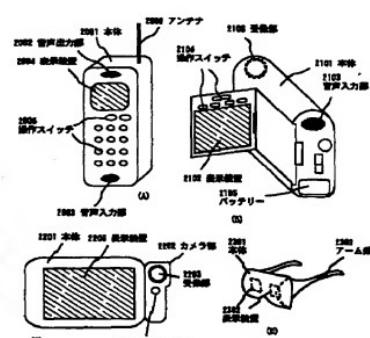
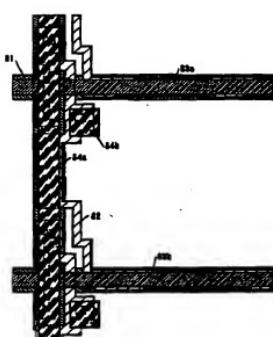
【図18】



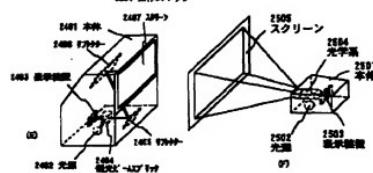
【図19】



【図20】



【図22】



フロントページの続き

(72)発明者 池田 隆之 F ターム(参考) 2H092 GA17 GA25 GA34 JA24 JA34
神奈川県厚木市長谷398番地 株式会社半
導体工ネルギー研究所内 JA46 JB69 KA10 KB03 KB25
(72)発明者 柴田 寛 KB28 MA05 MA08 MA09 MA12
神奈川県厚木市長谷398番地 株式会社半
導体工ネルギー研究所内 MA29 MA30 NA21 NA25 NA27
(72)発明者 北角 英人 PA01 PA06 RA05
神奈川県厚木市長谷398番地 株式会社半
導体工ネルギー研究所内 SF110 AA06 AA08 AA12 AA13 AA18
(72)発明者 福永 健司 BB02 BB04 BB20 CC02 DD01
神奈川県厚木市長谷398番地 株式会社半
導体工ネルギー研究所内 DD02 DD03 DD05 DD12 DD13
EE06 EE08 EE23 EE28 EE30
(72)発明者 GG01 GG02 GG13 GG14 GG25
GG42 GG52 HJ01 HJ04 HJ12
HJ23 HL03 HL04 HL06 HL12
HL23 HM13 HM15 HM20 NN03
NN04 NN22 NN23 NN24 NN27
NN35 NN42 NN44 NN46 NN47
NN73 PP03 PP23 PP24 PP34
QQ09 QQ12 QQ19 QQ28

English Translation

(19) Japanese Patent Office (JP)
(11) Laid-open No. : 2000-194014
(43) Laid open Date : July 14, 2000
(12) Patent Laid-open Official Gazette (A)
(51) Int. Cl.⁷

G 02 F 1/136
H 01 L 29/786
21/336

Discrimination Mark 500

The Number of Claims: 18 (24 pages in total)

Request of Examination: not filed

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Takayuki IKEDA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Hiroshi SHIBATA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Hideto KITAKADO

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Kenji FUKUNAGA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(54)[Title of the Invention] Semiconductor Device

(57) [NAME OF DOCUMENT] Document of abstract

[ABSTRACT]

[PURPOSE]

Providing a semiconductor device with a TFT structure with
high reliability

[MEANS]

In a CMOS circuit formed on a substrate 100, a subordinate
gate wiring line (a first wiring line) 102a and main gate wiring
line (a second wiring line) 113a is provided in an n-channel
TFT. The LDD regions 107a and 107b overlap the first wiring
line 102a and not overlap the second wiring line 113a. Thus,

applying a gate voltage to the first wiring line forms the GOLD structure, while not applying forms the LLD structure.

In this way, the GOLD structure and the LLD structure can be used appropriately in accordance with the respective specifications required for the circuits.

[Scope of Claims]

[Claim 1]

A semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor, characterized in that:

the pixel TFT has a channel formation region formed above a first wiring line with an insulating layer sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a part of the insulating layer.

[Claim 2]

A semiconductor device having a plurality of pixels each of which includes a pixel TFT and a storage capacitor, characterized in that:

the pixel TFT has a channel formation region formed above a first wiring line with a first insulating layer and

a second insulating layer sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from the first insulating layer.

[Claim 3]

A semiconductor device having a plurality of pixels each of which includes a pixel TFT and a storage capacitor, characterized in that:

the pixel TFT has a channel formation region formed above a first wiring line with a first insulating layer, a second insulating layer, and a silicon oxide film sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a laminate of the first insulating layer and the silicon oxide film.

[Claim 4]

A semiconductor device according to any one of claims

1 to 3, characterized in that the first wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films, the alloy films, or the silicide films.

[Claim 5]

The semiconductor device according to any one of claims 1 to 3, characterized in that the channel formation region of the pixel TFT and the semiconductor region of the storage capacitor are formed of the same semiconductor layer.

[Claim 6]

A semiconductor device according to any one of claims 1 to 3, characterized in that the first insulating layer is appropriately an oxide or halogenated compound containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), barium (Ba), hafnium (Hf), bismuth (Bi), tungsten (W), thorium (Th), and lead (Pb).

[Claim 7]

A semiconductor device according to any one of claims 1 to 3, characterized in that the first wiring line is in floating state.

[Claim 8]

A semiconductor device according to any one of claims 1 to 3, characterized in that the first wiring line is kept at the lowest power supply electric potential.

[Claim 9]

A semiconductor device according to any one of claims 1 to 3, characterized in that the pixel TFT is connected to the source wiring line and the gate wiring line, and the storage capacitor is formed under the source wiring line and/or the gate wiring line.

[Claim 10]

A semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with an insulating layer sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a part of the insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of

the n-channel TFT.

[Claim 11]

A semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with a first insulating layer and a second insulating layer sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from the first insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of the n-channel TFT.

[Claim 12]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate,

characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with a first insulating layer, a second insulating layer, and a silicon oxide film sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a laminate of the first insulating layer and the silicon oxide film; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of the n-channel TFT.

[Claim 13]

A semiconductor device according to any one of claims 10 to 12, characterized in that the first wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films,

the alloy films, or the silicide films.

[Claim 14]

The semiconductor device according to any one of claims 10 to 12, characterized in that the channel formation region of the pixel TFT and the semiconductor region of the storage capacitor are formed of the same semiconductor layer.

[Claim 15]

A semiconductor device according to any one of claims 10 to 12, characterized in that the first insulating layer is appropriately an oxide or halogenated compound containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), barium (Ba), hafnium (Hf), bismuth (Bi), tungsten (W), thorium (Th), thallium (Tl), and lead (Pb).

[Claim 16]

A semiconductor device according to any one of claims 10 to 12, characterized in that the pixel TFT is connected to the source wiring line and the gate wiring line, and the storage capacitor is formed under the source wiring line and/or the gate wiring line.

[Claim 17]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 16 is an active matrix liquid crystal display or an active matrix EL display.

[Claim 18]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 16

is a video camera, a digital camera, a projector, a projection TV, a goggle type display, an automobile navigation system, a personal computer, or a portable information terminal.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention belongs]

The present invention relates to a semiconductor device having a circuit composed of a thin film transistor (hereinafter referred to as TFT). For example, the invention relates to an electro-optical device represented by a liquid crystal display panel and to electronic equipment mounted with the electro-optical device as a component.

[0002]

In this specification, a 'semiconductor device' refers to a device in general that utilizes semiconductor characteristics to function, and electro-optical devices, semiconductor circuits, and electronic equipment are semiconductor devices.

[0003]

[Prior Art]

A thin film transistor (hereinafter referred to as TFT) can be formed on a transparent glass substrate, and hence its application to an active matrix liquid crystal display (hereinafter referred to as AM-LCD) has been developed actively.

A TFT utilizing a crystalline semiconductor film (typically, a polysilicon film) can provide high mobility, making it possible

to integrate functional circuits on the same substrate for high definition image display.

[0004]

An active matrix liquid crystal display device requires million TFTs for pixels alone when the screen is to have high definition. Its functional circuits also need TFTs to further increase the number of required TFTs. Each of these TFTs has to have secured reliability and operate stably in order to realize stable operation of the liquid crystal display device.

[0005]

However, the TFT is considered as not so equal in terms of reliability to a MOSFET that is formed on a single crystal semiconductor substrate. The TFT experiences lowering of mobility and ON current when it is operated for a long period of time, as the MOSFET suffers from the same phenomena. One of causes of the phenomena is characteristic degradation due to hot carriers that accompany enlargement of a channel electric field.

[0006]

The MOSFET, on the other hand, has the LDD (lightly doped drain) structure as a well-known reliability improving technique. This structure adds a low concentration impurity region inside a source · drain region. The low concentration impurity region is called an LDD region. Some TFTs employ the LDD structure.

[0007]

Another known structure for the MOSFET is to make the

LDD region somewhat overlap a gate electrode with a gate insulating film sandwiched therebetween. This structure can be obtained in several different modes. For example, structures called GOLD (Gate-drain overlapped LDD) and LATID (Large-tilt-angle implanted drain) are known. The hot carrier withstandability can be enhanced by these structures.

[0008]

There have been attempts to apply these structures for MOSFETs to TFTs. However, application of the GOLD structure (in this specification, a structure having an LDD region to which a gate voltage is applied is called a GOLD structure whereas a structure having merely an LDD region to which a gate voltage is not applied is called an LDD structure) to a TFT has a problem of OFF current (current flowing when the TFT is in an OFF state) being larger than in the LDD structure. For that reason, the GOLD structure is not suitable for a circuit in which OFF current should be as small as possible, such as a pixel matrix circuit of an AM-LCD.

[0009]

[Problems to be solved by the Invention]

An object of the present invention is to provide an AM-LCD having high reliability by constructing circuits of the AM-LCD from TFTs having different structures to suit the respective functions of the circuits. The invention aims to accordingly enhance the reliability of a semiconductor device (electronic equipment) having this AM-LCD.

[0010]

Another object of the present invention is to provide a TFT structure for reducing OFF current as much as possible and a structure for improving a capacity of a capacitance storage (also called an auxiliary capacitor) for a pixel matrix circuit of an AM-LCD.

[0011]

[Means for solving the Problems]

According to a structure of the present invention disclosed in this specification, a semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor is characterized in that:

the pixel TFT has a channel formation region formed above a first wiring line with an insulating layer sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a part of the insulating layer.

[0012]

According to another structure of the present invention, a semiconductor device having a plurality of pixels each of which includes a pixel TFT and a storage capacitor is characterized in that:

the pixel TFT has a channel formation region formed

above a first wiring line with a first insulating layer and a second insulating layer sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from the first insulating layer.

[0013]

According to another structure of the present invention, a semiconductor device having a plurality of pixels each of which includes a pixel TFT and a storage capacitor is characterized in that:

the pixel TFT has a channel formation region formed above a first wiring line with a first insulating layer, a second insulating layer, and a silicon oxide film sandwiched therebetween, and has a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line; and

the storage capacitor is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a laminate of the first insulating layer and the silicon oxide film.

[0014]

In the above structures, the first wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films, the alloy films, or the silicide films.

[0015]

The semiconductor device is also characterized in that the channel formation region of the pixel TFT and the semiconductor region of the storage capacitor are formed of the same semiconductor layer.

[0016]

The first insulating layer that functions as dielectric of the storage capacitor is appropriately an oxide or halogenated compound containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), barium (Ba), hafnium (Hf), bismuth (Bi), tungsten (W), thorium (Th), thallium (Tl), and lead (Pb).

[0017]

These thin films have as high dielectric constant as 10 to 100, and are suitable for the dielectric of the storage capacitor. A ferroelectric film, such as PZT (lead zirconate titanate), BST (barium strontium titanate) and a Y1-based material (strontium bismuth tantalate niobate) may also be used.

[0018]

It is effective to improve the aperture ratio by forming the storage capacitor from the high dielectric constant film under a source wiring line of the pixel matrix circuit, and/or under a gate wiring line thereof.

[0019]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate is characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with an insulating layer sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a part of the insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of

the n-channel TFT.

[0020]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate is characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with a first insulating layer and a second insulating layer sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from the first insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of the n-channel TFT.

[0021]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a

driver circuit that are formed on the same substrate is characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit each have a channel formation region formed above a first wiring line with a first insulating layer, a second insulating layer, and a silicon oxide film sandwiched therebetween, and each have a low concentration impurity region that is in contact with the channel formation region and overlaps the first wiring line;

a storage capacitor included in the pixel matrix circuit is formed from a capacitor wiring line formed on the same layer as the first wiring line, from a semiconductor region that has the same composition as the channel formation region or the low concentration impurity region, and from a laminate of the first insulating layer and the silicon oxide film; and the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring line connected to the n-channel TFT is kept at the same level of electric potential as a gate electrode of the n-channel TFT.

[0022]

[Embodiment Mode of the Invention]

Embodiment Mode 1

An embodiment mode of the present invention will be described taking as an example a CMOS circuit (inverter circuit) in which an n-channel TFT (hereinafter referred to as NTFT) is combined with a p-channel TFT (hereinafter referred to as

PTFT).

[0023]

A sectional structure thereof is shown in Fig. 1A and a top view thereof is shown in Fig. 1B. The description will be given using symbols common to Fig. 1A and Fig. 1B. The sectional views taken along the lines A-A', B-B', and C-C' in Fig. 1B correspond to the sectional views A-A', B-B', and C-C' in Fig. 1A, respectively.

[0024]

In Fig. 1A, 100 denotes a substrate; 101, a base film; 102a, 102b, and 102c, first wiring lines; 103, a first insulating layer; 104, a second insulating layer; and 90, a silicon oxide film to serve as a base of active layers. An active layer of the NTFT is composed of a source region 105, a drain region 106, low concentration impurity regions (LDD regions) 107a and 107b, and a channel formation region 108. An active layer of the PTFT is composed of a drain region 109, a source region 110, and a channel formation region 111.

[0025]

112 is a second insulating layer on which second wiring lines 113a, 113b, 113c, and 113d are formed from a conductive film. 114 denotes a first interlayer insulating layer; 115 to 117, third wiring lines; 115 and 116, source wiring lines; and 117, a drain wiring line (including a drain electrode).

[0026]

In the CMOS circuit structured as above, a glass substrate, a quartz substrate, a metal substrate, a stainless

steel substrate, a plastic substrate, a ceramic substrate, or a silicon substrate may be used as the substrate 100. When a silicon substrate is used, it is appropriate to oxidize its surface to form a silicon oxide film in advance.

[0027]

The base film 101 may be an insulating film mainly containing silicon, such as a silicon oxide film, a silicon nitride film, and a silicon oxynitride film. It is also preferable to use a dense, hard insulating film such as a tantalum oxide film.

[0028]

Although the first wiring line is a wiring line of the same pattern as shown in Fig. 1B, it is sectioned into 102a, 102b, and 102c for the sake of explanation. Here, the first wiring line 102a represents an intersection with the active layer, the first wiring line 102b represents a connection between the TFTs, and the first wiring line 102c represents a power supplying portion common to the circuits.

[0029]

The first wiring line 102a here functions as a subordinate gate electrode of the NTFT. That is, the electric charge of the channel formation region 108 is controlled by the first wiring line 102a and by the second wiring line (main gate electrode) 113a that is given with the same level of electric potential as the first wiring line 102a (or a predetermined electric potential), so that only the first wiring line 102a can apply a gate voltage (or a predetermined voltage) to the

LDD regions 107a and 107b.

[0030]

Accordingly, the GOLD structure cannot be obtained with the second wiring line 113a alone functioning as the gate electrode (the LDD structure is obtained instead), not until the first wiring line 102a joins with the second wiring line 113a. Advantages of this structure will be described later. The first wiring line 102a also functions as a light-shielding layer.

[0031]

Any material can be used for the first wiring line as long as it has conductivity. However, a desirable material would be one having heat resistance against the temperature in a later process. For example, a conductive film mainly containing (50% or more composition ratio) an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films, the alloy films or the silicide films.

[0032]

Specifically, a tantalum film, a chromium film, or a laminate of a tungsten silicide film and a silicon film is preferred. When a laminate of a tungsten silicide film and a silicon film is used, it is preferable to place the laminate such that the silicon film is closer to the active layer.

[0033]

Given as a feature of this embodiment mode is providing the first wiring line 102a in the NTFT only and not in the PTFT. Although the PTFT in Fig. 1A does not have an offset region and an LDD region either, one of the regions or both of the regions may be formed in the PTFT.

[0034]

Structured as above, the first wiring line is led from the power supplying portion through the connection to the NTFT to function as a subordinate gate electrode of the NTFT as shown in Fig. 1B.

[0035]

The second wiring line is also a wiring line of the same pattern but, for the sake of explanation, is sectioned almost the same way the first wiring line is sectioned. In Fig. 1A, 113a represents an intersection with the active layer of the NTFT, 113b represents an intersection with the active layer of the PTFT, 113c represents a connection between the TFTs, and 114d represents a power supplying portion.

[0036]

Any film can be used for the second wiring lines as long as it is a conductive film. A tantalum (Ta) film, a chromium (Cr) film, a titanium (Ti) film, a tungsten (W) film, a molybdenum (Mo) film, and a silicon (Si) film may be used in any combination to form the second wiring lines. An alloy film or silicide film of those may also be used. Alternatively, same kind of conductive films or different kinds of conductive films may be layered to form the second wiring lines.

[0037]

As described above, the CMOS circuit of this embodiment mode has the first wiring line (subordinate gate wiring line) in the NTFT and the same level of voltage as the second wiring line (main gate wiring line) or a predetermined voltage is applied to the first wiring line, thereby giving the NTFT the GOLD structure.

[0038]

Embodiment Mode 2

An embodiment mode of the present invention will be described taking as an example a pixel matrix circuit that uses an NTFT for a pixel TFT. This pixel matrix circuit is formed on the same substrate as the CMOS circuit described in Embodiment Mode 1 at the same time. Therefore, see the description in Embodiment Mode 1 for details of the wiring lines denoted by the identical names.

[0039]

A sectional structure of the pixel matrix circuit is shown in Fig. 2A and a top view thereof is shown in Fig. 2B. The description will be given using symbols common to Fig. 2A and Fig. 2B. The sectional views taken along the lines A-A' and B-B' in Fig. 2B correspond to the sectional views A-A' and B-B' in Fig. 2A, respectively

[0040]

In Fig. 2A, 200 denotes a substrate, 201, a base film, 202a to 202c, first wiring lines, 203, a capacitor wiring line, 204, a first insulating layer, 205, a second insulating layer,

and 91, a silicon oxide film to serve as a base of an active layer. An active layer of the pixel TFT (NTFT) is composed of a source region 206, a drain region 207, low concentration impurity regions (LDD regions) 208a to 208d, and channel formation regions 209a and 209b.

[0041]

The pixel TFT shown here as an example has a double gate structure, but it may have a single gate structure or a multi-gate structure in which three or more TFTs are connected in series. Needless to say, the source region and the drain region switch depending on whether the pixel TFT charges or discharges.

[0042]

Here, a storage capacitor is formed between the capacitor wiring line 203 and a semiconductor region 210 (namely, a portion extended from the drain region 207) with the first insulating layer 204 and the silicon oxide film 91 as dielectric. Usable as the first insulating layer 204 in this case is an oxide or halogenated compound containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), barium (Ba), hafnium (Hf), bismuth (Bi), tungsten (W), thorium (Th), thallium (Tl), and lead (Pb).

[0043]

These oxides are known to have high dielectric constant and exhibit a dielectric constant of about 10 to 100. One of the features of this embodiment is that such a high dielectric constant film is used as the dielectric of the storage capacitor.

For example, a tantalum oxide film is preferable, for it has a dielectric constant of 25 and is easy to form by sputtering.

[0044]

The silicon oxide film 91 that is a part of the dielectric is provided as a barrier layer for preventing reaction in the interface between the first insulating layer 204 and the semiconductor region 210. The silicon oxide film 91 and a semiconductor layer that is to serve as the active layer are preferably formed in succession without being exposed to the air. This prevents contamination by elements in the air, such as boron, landing on the bottom surface of the active layer.

[0045]

Second wiring lines 212a, 212b, and 212c are formed on the second insulating layer 211. The second wiring line 212a is a so-called gate wiring line, whereas 212b and 212c are substantial gate electrodes.

[0046]

Denoted by 213 is a first interlayer insulating layer, 214 and 215, third wiring lines, 214, a source wiring line (including a source electrode), and 215, a drain wiring line (including a drain electrode). Formed thereon are a second interlayer insulating layer 216, black masks 217a and 217b, a third interlayer insulating layer 218, and a pixel electrode 219.

[0047]

Although the first wiring line is a wiring line of

the same pattern as shown in Fig. 2B, it is sectioned into 202a, 202b, and 202c for the sake of explanation. Here, the first wiring line 202a represents a wiring line portion that does not function as a gate electrode, whereas 202b and 202c are intersections with the active layer and function as the gate electrodes.

[0048]

The first wiring lines shown here are formed at the same time the first wiring lines described in Embodiment Mode 1 are formed. Therefore the material and other explanations thereof are omitted.

[0049]

The first wiring lines 202b and 202c function as light-shielding films of the pixel TFT. In other words, they do not have the function of the subordinate gate wiring line as the one described in Embodiment Mode 1, and are given a fixed electric potential or set to a floating state (an electrically isolated state). That is, the first wiring lines 202b and 202c in the pixel TFT have to have such an electric potential as to make them function merely as light-shielding layers without influencing the operation of the TFT.

[0050]

The fixed electric potential is at least lower than the lowest electric potential of a video signal (specifically -8 V, if the amplitude of the video signal is -8 to 8 V), preferably lower than the lowest power supply electric potential of the entire circuit to be formed or the same as the lowest power

supply electric potential.

[0051]

In the case of an AM-LCD, for example, power supply lines formed in a driver circuit and other signal processing circuits are different from ones formed in a pixel matrix circuit, and these different power supply lines are given with their respective predetermined electric potentials. That is, various levels of voltages are generated with a certain lowest electric potential as the reference. The lowest power supply electric potential refers to the lowest electric potential that is the reference for all those circuits.

[0052]

By keeping the first wiring lines at the electric potential described above, holes generated by hot carrier injection can be removed from the channel formation regions and the punch through phenomenon brought by accumulated holes can be prevented.

[0053]

Electric charges in the channel formation regions 209a and 209b are thus controlled by the first wiring lines 212b and 212c to provide the LDD structure. Therefore an increase in OFF current can be contained effectively.

[0054]

In the pixel TFT, a laminate consisting of the first insulating layer 204, the second insulating layer 205, and the silicon oxide film 91 is interposed between the first wiring lines 202b and 202c and the channel formation regions 212b

and 212c. Structurally, a parasitic capacitance is formed here but the operation of the TFT is not influenced when this parasitic capacitance (the sum of parasitic capacitance formed under the gate electrodes if the TFT have a multi-gate structure) is one third the storage capacitor or less (preferably one tenth or less).

[0055]

The pixel matrix circuit shown in this embodiment mode thus has an NTFT as its pixel TFT, and the structure of the NTFT is the same as the NTFT of the CMOS circuit explained in Embodiment Mode 1 (the difference between the single gate structure and the double gate structure is ignored). However, the NTFT in the pixel matrix circuit is different from the NTFT in the CMOS circuit where the GOLD structure is obtained by using the first wiring line as a subordinate gate wiring line through application of a predetermined voltage, in that the LDD structure is obtained by giving the first wiring lines a fixed electric potential or setting them to a floating state.

[0056]

In other words, the biggest feature of the present invention is that NTFTs having the same structure are formed on the same substrate and then they are respectively given the GOLD structure or the LDD structure by being applied or not being applied a voltage to their first wiring lines (subordinate gate wiring lines). This makes the optimal circuit design possible without increasing the number of manufacture steps.

[0057]

The structures of the present invention in the above will be described in detail in the following embodiments.

[0058]

Embodiment 1

In this embodiment, a method of manufacturing the CMOS circuit described in Embodiment Mode 1 will be described. The description will be given with reference to Fig. 3.

[0059]

First, a glass substrate is prepared as a substrate 300. A silicon oxide film with a thickness of 200 nm is formed thereon by sputtering as a base film 301. On the base film, first wiring lines 302a, 302b, and 302c are formed. The material of the first wiring lines is a tantalum film formed by sputtering.

An oxide film may be formed on a surface of the tantalum film.

[0060]

Other metal films, alloy films, or a laminate of those may of course be used because the first wiring lines 302a, 302b, and 302c can be formed of any film as long as it has conductivity. A film that can be formed by patterning with a small taper angle is effective in improving the levelness.

[0061]

Next, a tantalum oxide film is formed again by sputtering. In this embodiment, the thickness thereof is set to 10 to 500 nm (desirably 50 to 300 nm, more desirably 100 to 200 nm). A tantalum oxide film 303 formed here is used as dielectric of a storage capacitor in a pixel matrix circuit.

[0062]

Other than the tantalum oxide film, an oxide containing an element selected from the group consisting of barium (Ba), hafnium (Hf), bismuth (Bi), tungsten (W), thorium (Th), thallium (Tl), and lead (Pb) may be used. Basically, any material can be used as long as it is a thin film having a dielectric constant of 10 or higher (preferably 20 or higher).

[0063]

A second insulating layer 304 is formed next from an insulating film containing silicon. This embodiment employs a layered structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 80 nm is formed thereon. The second insulating layer may of course be a single layer of silicon oxide film, or a silicon oxynitride film expressed as SiO_xN_y ($x/y = 0.01$ to 100).

[0064]

When the silicon oxynitride film is used, the withstand voltage thereof can be enhanced by making the nitrogen content larger than the oxygen content. Doping a silicon nitride film with boron is effective, for its heat conductivity is enhanced to improve the heat releasing effect.

[0065]

Next, a silicon oxide film 92 with a thickness of 10 nm is formed and an amorphous silicon film (not shown in the drawing) with a thickness of 50 nm is formed thereon successively without being exposed to the air. The applicant of the present

invention has found that boron landed from the air on the bottom surface of an active layer affects TFT characteristics (especially the threshold voltage). However, this problem can be solved by forming a thin silicon oxide film and an amorphous silicon film in succession as in this embodiment. This silicon oxide film also functions as a barrier layer for preventing the tantalum oxide film to serve as the dielectric of the storage capacitor in the pixel matrix circuit from reacting with the active layer.

[0066]

The amorphous silicon film is then crystallized using the technique disclosed in Japanese Patent Application Laid-open No. Hei 7-130652 (corresponding to US. Patent Application No. 08/329,644 or US. Patent Application No. 08/430,623) to obtain a crystalline silicon film (not shown). The technique described in the publication is a thermal crystallization method with the use of a catalytic element. In this embodiment, nickel is used as the catalytic element.

[0067]

Nickel is no longer necessary after crystallization and is removed from the crystalline silicon film using, in this embodiment, the technique disclosed in Japanese Patent Application Laid-open No. Hei 10-270363 (corresponding to US. Patent Application No. 09/050,182).

[0068]

The technique described in Japanese Patent Application Laid-open No. Hei 10-270363 is to remove a catalytic element

used in crystallization by utilizing the gettering effect of phosphorus after crystallization. With this technique, the concentration of the catalytic element in the crystalline semiconductor film can be reduced to 1×10^{17} atoms/cm³ or less, preferably to 1×10^{16} atoms/cm³.

[0069]

Next, the resultant crystalline silicon film is patterned to form active layers 305 and 306. Although this embodiment uses as a semiconductor film for the active layers a crystalline silicon film obtained by crystallizing an amorphous silicon film, other semiconductor films such as a microcrystalline silicon film may be used or a crystalline silicon film may be formed directly. Other than silicon films, a compound semiconductor film such as a silicon germanium film may be used.

[0070]

The crystalline silicon film may be doped with an element belonging to Group 13 and/or an element belonging to Group 15 before or after the active layers 305 and 306 are formed. The element or elements used for the doping here is/are for controlling threshold voltage of the TFTs.

[0071]

For example, the entire crystalline silicon film is doped first with boron as the element belonging to Group 13 to control the threshold in the plus direction, and then selectively doped with phosphorus to control the threshold in the minus direction, whereby threshold voltages of the NTFT

and the PTFT are adjusted to desired values.

[0072]

A third insulating layer 307 is formed next from a silicon oxide film, a silicon oxynitride film, or a silicon nitride film, or a laminate of those so as to cover the active layers 305 and 306. A silicon oxynitride film is formed here by plasma CVD to a thickness of 100 nm. The third insulating layer functions as a gate insulating film when a second wiring line is used as a main gate wiring line.

[0073]

A tantalum film 308 to serve later as the second wiring line is formed to have a thickness of 200 nm. Either sputtering or CVD can be used to form the tantalum film 308.

[0074]

After the state of Fig. 3A is thus obtained, resist masks 309a and 309b are formed to etch the tantalum film 308. In this way, a second wiring line 310a is formed from the tantalum film. The second wiring line 310a corresponds to the second wiring line (main gate wiring line) 113a in Fig. 1A. A tantalum film 310b is left so as to hide regions other than the region to become the NTFT.

[0075]

Next, the film is doped with an element belonging to Group 15 (typically, phosphorus or arsenic) to form low concentration impurity regions 311 and 312. In this embodiment, phosphorus is used as the element belonging to Group 15, and ion doping that does not involve mass separation is employed.

Doping conditions include setting the acceleration voltage to 90 keV, and adjusting the dose so that phosphorus is contained in a concentration of 1×10^{16} to 1×10^{19} atoms/cm³ (preferably 5×10^{17} to 5×10^{18} atoms/cm³). This concentration later sets the impurity concentration in the LDD regions, and hence is needed to be controlled precisely. (Fig. 3B)

[0076]

In this specification, the impurity doping step conducted under those conditions is called a phosphorus (n-) doping step.

[0077]

The resist masks 309a and 309b are then removed and resist masks 313a to 313d are newly formed. The tantalum film 310b is etched to form second wiring lines 314a to 314c. The second wiring lines 314a, 314b, and 314c respectively correspond to the second wiring lines 113b, 113c, and 113d of Fig. 1A.

[0078]

Next, the film is doped with an element belonging to Group 13 (typically boron or gallium) to form a drain region 315 and a source region 316. A channel formation region 317 of the PTFT is defined simultaneously. In this embodiment, boron is used as the element belonging to Group 13, and ion doping that does not involve mass separation is employed. Doping conditions include setting the acceleration voltage to 75 keV, and adjusting the dose so that boron is contained in a concentration of 1×10^{19} to 5×10^{21} atoms/cm³ (preferably 1×10^{20} to 1×10^{21} atoms/cm³). (Fig. 3C)

[0079]

In this specification, the impurity doping step conducted under those conditions is called a boron (p++) doping step.

[0080]

The resist masks 313a to 313d are then removed and resist masks 318a to 318d are formed again. In this embodiment, the resist masks are formed by a back side exposure method. For the resist masks 318a, 318c, and 318d, the first wiring lines serve as masks whereas the second wiring lines serve as masks for the resist mask 318b. With the first wiring lines as masks, a small amount of light reaches behind the wiring lines and hence the line width in this case is narrower than the width of the first wiring lines. The line width can be controlled by exposure conditions. That is, the width (length) of the LDD regions can be controlled by controlling the amount of light that reaches behind the wiring lines.

[0081]

The resist masks can of course be formed by using masks instead. In this case, the degree of freedom in pattern design is raised but the number of masks is increased.

[0082]

After the resist masks 318a to 318d are thus formed, a step of doping with an element belonging to Group 15 (phosphorus in this embodiment) is conducted. Here, the acceleration voltage is set to 90 keV, and the dose is adjusted so that phosphorus is contained in a concentration of 1×10^{19} to 5

$\times 10^{21}$ atoms/cm³ (preferably 1×10^{20} to 1×10^{21} atoms/cm³).

[0083]

In this specification, the impurity doping step conducted under those conditions is called a phosphorus (n+) doping step.

[0084]

Through this step, a source region 319, a drain region 320, an LDD region 321, and a channel formation region 322 of the NTFT are defined. A drain region 323 and a source region 324 of the PTFT are also doped with phosphorus in this step. However, the P type conductivity thereof can be maintained and is not reversed to the N type conductivity if they are doped with boron in a higher concentration in the previous step.

[0085]

After the NTFT and the PTFT are thus doped with impurity elements each imparting one of the conductivity types, the impurity elements are activated by furnace annealing, laser annealing, or lamp annealing, or by using these annealing methods in combination.

[0086]

The state of Fig. 3D is obtained in this way. Then a first interlayer insulating layer 325 is formed from a silicon oxide film, a silicon nitride film, a silicon oxynitride film, or a resin film, or from a laminate of those films. Contact holes are opened in the layer to form source wiring lines 326

and 327 and a drain wiring line 328. (Fig. 3E).

[0087]

The first interlayer insulating layer 325 in this embodiment has a two-layer structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 950 nm is formed thereon. The source wiring lines 326 and 327 and the drain wiring line 328 in this embodiment are formed by patterning a three-layer structure laminate obtained by successively forming, by sputtering, a titanium film with a thickness of 100 nm, an aluminum film containing titanium and having a thickness of 300 nm, and another titanium film with a thickness of 150 nm.

[0088]

A CMOS circuit structured as shown in Fig. 3E is thus completed. The CMOS circuit of this embodiment has the structure shown in Fig. 1A, and explanations thereof are omitted here because it is described in detail in Embodiment Mode 1. To obtain the structure of Fig. 1A, the manufacturing process is not necessarily limited to the process of this embodiment. For example, the NTFT may take the double gate structure while the PTFT is given the single gate structure.

[0089]

The CMOS circuit described in this embodiment serves as a basic unit circuit for constructing a driver (driving) circuit (including a shift register circuit, a buffer circuit, a level shifter circuit, a sampling circuit, etc.) and other signal processing circuits (such as a divider circuit, a D/A

converter circuit, a γ correction circuit, and an operation amplifier circuit) in an AM-LCD.

[0090]

In this embodiment, the first wiring line of the NTFT is used as a subordinate gate wiring line to thereby obtain a substantial GOLD structure and prevent degradation by hot carrier injection. Accordingly, a circuit having a very high reliability can be formed.

[0091]

Embodiment 2

In this embodiment, a method of manufacturing the pixel matrix circuit described in Embodiment Mode 2 will be described.

The description will be given with reference to Figs. 4 and 5. The pixel matrix circuit is formed on the same substrate as the CMOS circuit shown in Embodiment 1 at the same time. Therefore, the description will be given in relation to the manufacturing process of Embodiment 1 and the symbols identical with those in Fig. 3 are used when necessary.

[0092]

First, the base film 301 is formed on the glass substrate 300 from a tantalum oxide film. On the base film, first wiring lines 401a, 401b, and 401c and a capacitor wiring line 402 are formed. The first wiring line 401a corresponds to the first wiring line 202a in Fig. 2A, the first wiring line 401b corresponds to the first wiring line 202b in Fig. 2A, and the first wiring line 401c corresponds to the first wiring line 202c in Fig. 2A.

[0093]

The capacitor wiring line 402 corresponds to the capacitor wiring line 203 in Fig. 2A. The materials of the second wiring lines and the capacitor wiring line are as described in Embodiment 1.

[0094]

Next, a first insulating layer 303 and a second insulating layer 304 are formed consulting Embodiment 1. After the second insulating layer 304 is formed, the second insulating layer 304 on the capacitor wiring line 402 that constitutes a storage capacitor is selectively etched to expose the first insulating layer 303. The exposed portion of the first insulating layer later functions as dielectric of the storage capacitor.

[0095]

Upon completion of etching of the second insulating layer 304, the silicon oxide film 92 and the amorphous silicon film (not shown in the drawings) are formed successively without being exposed to the air. Through the crystallization step and the gettering step shown in Embodiment 1, an active layer 403 of the pixel TFT is formed.

[0096]

At this point, the active layer forms the pixel TFT in a portion where it overlaps the first wiring lines 401b and 401c, and forms the storage capacitor in a portion where it overlaps the capacitor wiring line 402. That is, the pixel TFT is connected to the storage capacitor also in a physical

sense through the active layer.

[0097]

After the active layer 403 is formed, the second insulating layer 307 and the tantalum film 308 are formed. Thus obtained is the state of Fig. 4A. The CMOS circuit being formed simultaneously is now in the state of Fig. 3A.

[0098]

Next, resist masks 404a to 404c are formed to etch the tantalum film 308. Second wiring lines 405a to 405c are thus formed. The second wiring line 405a corresponds to the second wiring line 212a in Fig. 2A, the second wiring line 405b corresponds to the second wiring line 212b in Fig. 2A, and the second wiring line 405c corresponds to the second wiring line 212c in Fig. 2A.

[0099]

The phosphorus (n-) doping step for forming LDD regions later is conducted next to form low concentration impurity regions 406 to 408. This step corresponds to the step of Fig. 3B. Accordingly, the material and the thickness of the second wiring lines and phosphorus doping conditions in the step of Fig. 4B are the same as Embodiment 1.

[0100]

A step corresponding to the step of Fig. 3C is conducted next. In this step, the entire surface of the pixel matrix circuit is covered with a resist mask 409 so as to avoid boron doping at all. (Fig. 4C)

[0101]

The resist mask 409 is then removed. After that, resist masks 410a to 410d are formed by the back side exposure method. Then the phosphorus (n+) doping step is conducted to form a source region 411, a drain region 412, LDD regions 413a to 413d, and channel formation regions 414a and 414b. The back side exposure conditions and the phosphorus doping conditions are set in accordance with the step of Fig. 3D in Embodiment 1.

[0102]

The source region and the drain region in Fig. 4D are named so for the sake of explanation. However, a source region and a drain region in a pixel TFT are reversed when the pixel switches between charging and discharging and hence there is no definite discrimination between the two regions.

[0103]

A region denoted by 415 (a semiconductor region functioning as an electrode of the storage capacitor) is hidden by the resist mask 410d and, as a result, the region is doped with phosphorus in the same concentration as the LDD regions 413a to 413b (to have the same composition). This region can function as an electrode by applying a voltage to the first wiring lines 402. The first wiring lines 402, the first insulating layer 303, and the semiconductor region 415 form the storage capacitor.

[0104]

If a resist mask is formed on the capacitor wiring line 402 in the step of Fig. 4B, the semiconductor region 415

can be an intrinsic or substantially intrinsic semiconductor region having the same composition as the channel formation regions 414a and 414b.

[0105]

Thus, it is also a feature of this embodiment that the channel formation regions or the low concentration impurity regions (LDD regions) are formed of the same semiconductor layer as the semiconductor region that functions as an electrode of the storage capacitor.

[0106]

After the doping steps of phosphorus and boron are finished, the impurity elements are activated as in Embodiment 1. Then the first interlayer insulating film 325 is formed and contact holes are opened therein to form a source wiring line 416 and a drain wiring line 417. The state of Fig. 4E is thus obtained. The CMOS circuit at this point is in the state of Fig. 3E.

[0107]

Next, a second interlayer insulating layer 418 is formed to cover the source wiring line 416 and the drain wiring line 417. In this embodiment, as a passivation film, a silicon nitride film with a thickness of 30 nm is formed and an acrylic film with a thickness of 700 nm is formed thereon. Of course, an insulating film mainly containing silicon such as a silicon oxide film, or other resin films may be used. Other resin films that are usable are a polyimide film, a polyamide film, a BCB (benzocyclobutene) film, and the like.

[0108]

Next, black masks 420a and 420b are formed from a titanium film having a thickness of 100 nm. Other films may be used to form the black masks 420a and 420b if they have light-shielding property. Typically, a chromium film, an aluminum film, a tantalum film, a tungsten film, a molybdenum film, a titanium film, or a laminate of these films is used.

[0109]

A third interlayer insulating layer 421 is then formed. Though an acrylic film with a thickness of 1 μm is used in this embodiment, the same material as the second interlayer insulating layer may be used instead.

[0110]

A contact hole is next formed in the third interlayer insulating layer 421 to form a pixel electrode 422 from a transparent conductive film (typically an ITO film). The pixel electrode 422 is electrically connected to the drain wiring line 417. The contact hole accordingly has to be very deep, and hence it is effective in preventing failure such as break of the pixel electrode to form the contact hole such that its inner wall is tapered or curved.

[0111]

The pixel electrode 422 in this embodiment is electrically connected to the pixel TFT through the drain wiring line 417. However, the pixel electrode 422 may be connected directly to the drain region 412 of the pixel TFT.

[0112]

A pixel matrix circuit structured as shown in Fig. 5A is thus completed. Although the example shown in this embodiment is of manufacturing a transmissive AM-LCD using a transparent conductive film for a pixel electrode, a reflective AM-LCD can readily be manufactured if a metal film having high reflectance (such as a metal film mainly containing aluminum) is used for the pixel electrode.

[0113]

The substrate that has reached the state of Fig. 5A is called an active matrix substrate. This embodiment also describes a case of actually manufacturing an AM-LCD.

[0114]

After the state of Fig. 5A is obtained, an oriented film 423 with a thickness of 80 nm is formed on the pixel electrode 422. An opposite substrate is fabricated next. The opposite substrate prepared is composed of a glass substrate 424 on which a color filter 425, a transparent electrode (opposite electrode) 426, and an oriented film 427 are formed. The oriented films 423 and 427 are subjected to rubbing treatment, and the active matrix substrate is bonded to the opposite substrate using a seal (sealing member). Then a liquid crystal 428 is held between the substrates.

[0115]

A spacer for maintaining the cell gap may be provided if necessary. When the cell gap can be maintained without a spacer as in an AM-LCD having a diagonal size of 1 inch or less, there is no particular need to place a spacer.

[0116]

An AM-LCD structured as shown in Fig. 5B (the part corresponding to a pixel matrix circuit) is thus completed. The second interlayer insulating layer 418 and the third interlayer insulating layer 421 of this embodiment also cover the CMOS circuit shown in Embodiment 1 in actuality. Wiring lines may be formed at the same time the black masks 420a and 420b and the pixel electrode 422 are formed from the same materials that constitute the black masks and the pixel electrode, so that the wiring lines are used as lead out wiring lines (fourth wiring lines or fifth wiring lines) of a driver circuit and a signal processing circuit of the AM-LCD.

[0117]

In this embodiment, the first wiring lines 401b and 401c provided in the pixel TFT are set to the lowest power supply electric potential. This makes it possible to draw holes generated in the drain end due to hot carrier injection to the first wiring lines, thereby improving the reliability. The first wiring lines 401b and 401c may of course be set to a floating state, but the hole drawing effect cannot be expected in this case.

[0118]

Embodiment 3

In this embodiment, an AM-LCD is provided with a pixel matrix circuit and a CMOS circuit (a driver circuit and a signal processing circuit constructed of CMOS circuits, to be exact) according to the present invention, and the appearance thereof

is shown in Fig. 6.

[0119]

On an active matrix substrate 601, a pixel matrix circuit 602, a signal line driving circuit (source driver circuit) 603, scanning line driving circuits (gate driver circuits) 604, and a signal processing circuit (including a signal divider circuit, a D/A converter circuit, and a γ correction circuit) 605 are formed. An FPC (flexible printed circuit) 606 is attached to the active matrix substrate. Denoted by 607 is an opposite substrate.

[0120]

The various circuits formed on the active matrix substrate 601 are illustrated in detail in a block diagram of Fig. 7.

[0121]

In Fig. 7, 701 denotes a pixel matrix circuit that functions as an image display unit. 702a, 702b, and 702c represent a shift register circuit, a level shifter circuit, and a buffer circuit, respectively. The three together constitute a gate driver circuit.

[0122]

The block diagram of the AM-LCD in Fig. 7 has a pixel matrix circuit sandwiched between gate driver circuits, which share the same gate wiring lines. This means that application of voltage to the gate wiring lines is still possible even after one of the gate drivers fails, thereby giving the AM-LCD redundancy.

[0123]

703a, 703b, 703c, and 703d represent a shift register circuit, a level shifter circuit, a buffer circuit, and a sampling circuit, respectively. The four together constitute a source driver circuit. A precharge circuit 14 is placed across the pixel matrix circuit from the source driver circuit.

[0124]

The reliability of an AM-LCD having circuits as those shown in Fig. 6 can be greatly improved by employing the present invention. In this case, CMOS circuits constituting a driver circuit and a signal processing circuit are made in accordance with Embodiment 1 and a pixel matrix circuit is made in accordance with Embodiment 2.

[0125]

Embodiment 4

This embodiment gives a description on a case where a CMOS circuit is structured differently from Embodiment 1 and a pixel matrix circuit is structured differently from Embodiment 2. To be specific, circuits are given different structures in accordance with the respective specifications the circuits demand.

[0126]

The basic structure of the CMOS circuit is identical with the structure shown in Fig. 1A and the basic structure of the pixel matrix circuit is identical with the structure shown in Fig. 2A. Therefore only the part that needs explanation is denoted by a symbol and explained in this embodiment.

[0127]

The structure shown in Fig. 8A lacks an LDD region on the source side of the NTFT and has an LDD region 801 only on the drain side. The CMOS circuit, which is used in a driver circuit and a signal processing circuit, is required to operate at high speed and hence resist components that can cause reduction in operation speed have to be removed as much as possible.

[0128]

In the case of the CMOS circuit according to the present invention, a gate voltage is applied to a first wiring line functioning as a subordinate gate wiring line to obtain the GOLD structure and prevent degradation due to hot carrier injection. However, it is sufficient if an LDD region that overlaps a gate electrode is formed at an end of a channel formation region on the drain region side where hot carriers are injected.

[0129]

Accordingly, an LDD region at an end of the channel formation region on the source region side is not indispensable. On the contrary, the LDD region on the source region side might work as a resist component. The structure shown in Fig. 8A is therefore effective in improving the operation speed.

[0130]

The structure of Fig. 8A cannot be applied to a circuit that behaves like a pixel TFT in which a source region and a drain region are switched. Since a source region and a drain region of a CMOS circuit are normally fixed, the CMOS circuit

can adopt the structure of Fig. 8A.

[0131]

Fig. 8B is basically identical with Fig. 8A but the width of an LDD region 802 in Fig. 8B is narrower than in Fig. 8A. Specifically, the width is set to 0.05 to 0.5 μm (preferably 0.1 to 0.3 μm). The structure in Fig. 8B is capable of not only reducing the resist component on the source region side but also reducing the resist component on the drain region side as much as possible.

[0132]

This structure is actually suitable for a circuit that is driven at as low voltage as 3 to 5 V and is required to operate at high speed, such as a shift register circuit. Because of the low operation voltage, the narrow LDD region (LDD region that overlaps a gate electrode, strictly speaking) does not raise the problem related to hot carrier injection.

[0133]

Of course, LDD regions in the NTFT may be completely omitted in some cases if the omission is limited to the shift register circuit. In this case, the NTFT of the shift register circuit has no LDD region while other circuits in the same driver circuit employ the structure shown in Fig. 1A or the structure shown in Fig. 8B.

[0134]

Next, Fig. 8C shows an example of a CMOS circuit with its NTFT having the double gate structure and PTFT having the single gate structure. In this case, LDD regions 805 and 806

are provided only at ends of channel formation regions 803 and 804 which are closer to drain regions.

[0135]

The width of an LDD region is determined by the amount of light that reaches around in the back side exposure step as shown in Fig. 3D. However, if resist masks are formed by mask alignment, the masks can be designed freely. Forming an LDD region only on one side is easy also in the structure shown in Fig. 8C if a mask is used.

[0136]

However, forming an LDD region only on one side by the back side exposure method is possible when gate wiring lines (second wiring lines) 807a and 807b are formed so as not to coincide with first wiring lines 808 and 809 as in this embodiment.

[0137]

This structure can eliminate the resist component by an LDD region on the source side and the double gate structure has an effect of diffusing and easing the electric field applied between the source and the drain.

[0138]

The structure in Fig. 8D is a mode of a pixel matrix circuit. In the structure of Fig. 8D, LDD regions 809 and 810 are provided on either the side closer to the source region or the side closer to the drain region. In other words, no LDD region is provided between two channel formation regions 811 and 812.

[0139]

In the case of a pixel TFT, a source region and a drain region are frequently switched because charging and discharging are repeated. Accordingly, when the pixel TFT has a structure of Fig. 8D, the LDD region can always be in the channel formation region on the drain region side whichever region serves as the drain region. On the other hand, it is effective in increasing ON current (current flowing when the TFT is in an ON state) to omit an LDD region that can be a resist component between the channel formation regions 811 and 812 because there is no electric field concentration between the channel formation regions.

[0140]

An LDD region is not provided at an end of the channel formation region on the source region side in the structures of Figs. 8A to 8D. However, the LDD region may be provided there if it has a narrow width. This structure may be obtained by forming resist masks through mask alignment or by the back side exposure method after the position of the first wiring lines and the second wiring lines is adjusted.

[0141]

Needless to say, the structure of this embodiment can be combined with Embodiments 1 and 2 and applied to the AM-LCD shown in Embodiment 3.

[0142]

Embodiment 5

This embodiment shows with reference to Fig. 9 a case

in which a part of the second wiring lines in the CMOS circuit shown in Fig. 1A and in the pixel matrix circuit shown in Fig. 2A is changed in structure. In Fig. 9A, parts structured in the same way as Fig. 1A or Fig. 2A are denoted by the same symbols.

[0143]

A CMOS circuit in Fig. 9A uses a laminate 901 consisting of a first conductive layer 901a and a second conductive layer 901b for only a part of a second wiring line that corresponds to a power supplying portion. In this specification, a wiring line structure denoted by 901 is called a cladding structure.

[0144]

In the cladding structure, the material of the first conductive layer 901a may be a conductive film mainly containing an element selected from the group consisting of tantalum, titanium, chromium, tungsten, molybdenum, and silicon, or an alloy film or silicide film containing the above elements in combination. The material of the second conductive layer 901b is desirably a metal film mainly containing (50% or more composition ratio) copper or aluminum.

[0145]

With this structure, the power supplying portion (the portion denoted by 113d in Fig. 1B) of the second wiring line has the first conductive layer 901a clad by the second conductive layer 901b. Undesirably, this structure might allow aluminum or copper that is an element constituting the first conductive layer 901a to diffuse into a third insulating layer (an insulating

layer that is the base of the second wiring line). Therefore a silicon nitride film is formed on the surface of the third insulating layer to prevent diffusion of aluminum or copper effectively.

[0146]

The structure of this embodiment may also be applied to a pixel matrix circuit. The pixel matrix circuit in Fig. 9B uses a single layer of tantalum film for a gate wiring line and employs the above cladding structure for a part of the gate wiring line that is required to reduce wiring line resistance (a part of the gate wiring line that does not function as a gate electrode).

[0147]

Needless to say, the circuits shown in Fig. 9A and Fig. 9B are both formed on the same substrate at the same time.

[0148]

The circuits can also be applied to the AM-LCD of Embodiment 3 and can be combined with the structure shown in Embodiment 4.

[0149]

Embodiment 6

This embodiment shows with reference to Fig. 10 a case in which the LDD regions of the NTFTs in the CMOS circuit of Fig. 1A and in the pixel matrix circuit of Fig. 2A are arranged differently. In Fig. 10A, parts structured in the same way as Fig. 1A or Fig. 2A are denoted by the same symbols.

[0150]

In the CMOS circuit shown in Fig. 10A, the NTFT has a portion where a gate electrode 11 overlaps LDD regions 12a and 12b and a portion where the gate electrode does not overlap the LDD regions. In this structure, the length of the portion where the gate electrode 11 overlaps the LDD regions 12a and 12b is set to 0.1 to 3.5 μm (typically 0.1 to 0.5 μm , preferably 0.1 to 0.3 μm) whereas the length of the portion where the gate electrode 11 does not overlap the LDD regions 12a and 12b is set to 0.5 to 3.5 μm (typically 1.5 to 2.5 μm).

[0151]

In this structure, the portion where the gate electrode 11 overlaps the LDD regions 12a and 12b exhibits substantially the same effect as the GOLD structure whereas the portion where the gate electrode does not overlap the LDD regions exhibits substantially the same effect as the LDD structure. How much the gate electrode overlaps may be determined by mask alignment or by controlling the amount of light that reaches around.

[0152]

A feature of this structure is that the LDD regions overlapping the gate electrode prevent degradation of ON current and an LDD region which is provided outside thereof and to which a gate voltage is not applied prevents an increase in OFF current. Accordingly, the structure of Fig. 10A is effective when reduction in OFF current is also required in a CMOS circuit.

[0153]

Similarly, in the pixel matrix circuit shown in Fig.

10B, the pixel TFT has portions where gate electrodes 13a and 13b overlap LDD regions 14a to 14d and portions where the gate electrodes 13a and 13b do not overlap the LDD regions 14a to 14d. In this case, the first wiring lines 202b and 202c do not function as subordinate gate wiring lines and hence electric charges in channel formation regions are controlled by the gate electrodes 13a and 13b alone.

[0154]

With the structure of the pixel TFT described in Embodiment Mode 2, the pixel TFT operates as a complete LDD structure. However, the structure of Fig. 10B can provide a pixel TFT that is strong against hot carrier injection (a pixel TFT in which ON current is not degraded or is degraded less).

[0155]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be combined freely with the structures shown in Embodiments 4 and 5.

[0156]

Embodiment 7

This embodiment gives a description with reference to Fig. 11 on a structure for reducing OFF current of an NTFT in a CMOS circuit to be used in a driver circuit.

[0157]

In Fig. 11, LDD regions 21 and 22 of the NTFT can be divided into portions that substantially overlap a first wiring line 102a and portions that do not overlap the first wiring

line 102a. The NTFT in Fig. 11 therefore has an LDD region that does not overlap a gate electrode outside an LDD region that overlaps the gate electrode when a gate voltage is applied to the first wiring line 102a.

[0158]

As described in Embodiment 7, this structure has the effect of preventing degradation of ON current which is an advantage of the GOLD structure and, in addition, can provide an electric characteristic of limited increase in OFF current which cannot be attained by the GOLD structure. Therefore a CMOS circuit with very excellent reliability can be obtained.

[0159]

The description here takes as an example a CMOS circuit but the structure of this embodiment may be applied to a pixel matrix circuit.

[0160]

In order to obtain the structure of this embodiment, the back side exposure method is not used in the step shown in Fig. 3D in Embodiment 1. The structure of this embodiment is readily obtained when a resist mask wider than the first wiring line is formed by a normal mask alignment and then the phosphorus (n+) doping step is conducted.

[0161]

The length of the LDD regions (the length of the portions that overlap and do not overlap the gate electrode) is set consulting the range mentioned in Embodiment 7.

[0162]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be combined freely with the structures shown in Embodiments 4 through 6.

[0163]

Embodiment 8

This embodiment describes a case in which other methods than thermal crystallization is used to form the active layer shown in Embodiment 1 or 2.

[0164]

Specifically, the case shown here is of crystallizing an amorphous semiconductor film by a known laser crystallization method. Laser light that is typically used is excimer laser light but argon laser light, YAG laser light or the like may be used.

[0165]

For excimer laser light, KrF gas, XeCl gas, ArF gas or the like is used as cooling gas. In this embodiment, the excimer laser light is generated by pulse oscillation and is processed into a linear beam through an optical system before it irradiates an irradiation target surface.

[0166]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 7.

[0167]

Embodiment 9

This embodiment describes a case, as a method of forming an active layer, in which the thermal crystallization method

shown in Embodiment 1 is used and the catalytic element used in crystallization is removed from the crystalline semiconductor film. To remove the catalytic element, this embodiment employs a technique disclosed in Japanese Patent Application Laid-open No. Hei 10-135468 (corresponding to US. Patent Application No. 08/951,193) or Japanese Patent Application Laid-open No. Hei 10-135469 (corresponding to US. Patent Application No. 08/951,819).

[0168]

The technique described in the publication is to remove a catalytic element used in crystallization of an amorphous semiconductor film by utilizing gettering effect of halogen after crystallization. With this technique, the concentration of the catalytic element in the crystalline semiconductor film can be reduced to 1×10^{17} atoms/cm³ or less, preferably to 1×10^{16} atoms/cm³.

[0169]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 8.

[0170]

Embodiment 10

This embodiment describes another mode of the gettering step by phosphorus which is shown in Embodiment 1. The basis of the step matches Fig. 1 and hence differences are picked out and explained.

[0171]

First, the state of Fig. 3D is obtained by following

the process of Embodiment 1. Fig. 12A shows a state in which the resist masks 318a to 318d are removed from the state of Fig. 3D.

[0172]

At this point, the source region 319 of the NTFT and the drain region 320 thereof, and the drain region 323 of the PTFT and the source region 324 thereof contain phosphorus in a concentration of 1×10^{19} to 1×10^{21} atoms/cm³ (preferably 5×10^{20} atoms/cm³).

[0173]

In this state, a heat treatment step is conducted in a nitrogen atmosphere at 500 to 800°C for 1 to 24 hours, for example, at 600°C for 12 hours, in this embodiment. Through the step, the impurity elements belonging to Group 13 or 15 and used in doping are activated. Also, the catalytic element (nickel in this embodiment) remained after the crystallization step moves in the direction of the arrow and is gettered (trapped) in the source regions and drain regions mentioned above owing to the action of phosphorus contained in the regions. As a result, the nickel concentration in the channel formation region can be reduced to 1×10^{17} atoms/cm³ or less. (Fig. 12B)

[0174]

Once the step of Fig. 12B is completed, subsequent steps are conducted in accordance with the steps of Embodiment 1 to complete the CMOS circuit shown in Fig. 3E. Needless to say, similar steps are taken in the pixel matrix circuit.

[0175]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 9.

[0176]

Embodiment 11

This embodiment gives a description with reference to Fig. 13 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0177]

First, steps up through the step of Fig. 3B are finished in accordance with the process in Embodiment 1. Fig. 13A shows a state identical with Fig. 3B and the same symbols are used. This is a phosphorus (n-) doping step through which the low concentration impurity regions 311 and 312 are formed.

[0178]

After the resist masks 309a and 309b are removed, the back side exposure method is used to form resist masks 26a and 26b. The phosphorus (n+) doping step is then conducted under the same doping conditions as Embodiment 1 to form a source region 27, a drain region 28, LDD regions 29a and 29b, and a channel formation region 30 of the NTFT. (Fig. 13B)

[0179]

The resist masks 26a and 26b are removed next. Thereafter resist masks 31a to 31d are formed and the tantalum film 310b is etched to form second wiring lines 32a to 32c. In this state, the boron (p++) doping step is conducted under

the doping conditions of Embodiment 1 to form a drain region 33, a source region 34, and a channel formation region 35 of the PTFT. (Fig. 13C)

[0180]

In this embodiment, an active layer of the PTFT is not doped with phosphorus before it is doped with boron, whereby the dose of boron can be limited to a minimum. The throughput in the manufacturing process is therefore improved.

[0181]

After the step of Fig. 13C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E but is different from Embodiment 1 in that the source region and the drain region of the PTFT do not contain phosphorus.

[0182]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0183]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0184]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 10.

[0185]

Embodiment 12

This embodiment shows with reference to Fig. 14 a case in which the storage capacitor of the pixel matrix circuit shown in Embodiment Mode 2 is structured differently. The description is limited to the structure of the storage capacitor because the rest is the same as the pixel matrix circuit shown in Fig. 2A.

[0186]

In Fig. 14, a tantalum film that is the material of first wiring lines and a tantalum oxide film that is the material of first insulating layers are layered to form a laminate, and both are etched into the same shape. As a result, first wiring lines 35a to 35c and a capacitor wiring line 36 are formed and first insulating layers 37a to 37c and 38 having the same shape as the wiring lines are formed on the wiring lines.

[0187]

In order to obtain this structure, a technique for etching the tantalum oxide film and the tantalum film while keeping the selective ratio is required. In this embodiment, the tantalum oxide film is removed by dry etching using a fluorine-based gas while the tantalum film can be left by time controlling because the selective ratio with respect to the tantalum film can be secured to a certain degree. Then the tantalum film alone is etched by wet etching with the tantalum oxide film as a mask.

[0188]

Though not shown in Fig. 14, it is effective to etch the first wiring lines (or capacitor wiring line) into a tapered shape when the first wiring line (or capacitor wiring line) and the first insulating layers are patterned into the same shape.

[0189]

As described above, the capacitor wiring line 36, the first insulating layer (tantalum oxide film) 38, and a semiconductor region 39 form the storage capacitor in this embodiment.

[0190]

This embodiment may of course be carried out also when the first wiring lines are formed from a conductive film mainly containing an element selected from the group consisting of chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films, the alloy films or the silicide films.

[0191]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 11.

[0192]

Embodiment 13

This embodiment shows with reference to Fig. 15 a case in which the storage capacitor of the pixel matrix circuit shown in Embodiment Mode 2 is structured differently. The description is limited to the structure of the storage capacitor

because the rest is the same as the pixel matrix circuit shown in Fig. 2A.

[0193]

After the first wiring lines 401a to 401c and the capacitor wiring line 402 are formed as in Fig. 4A, thermal oxidization is performed on the first wiring lines and the capacitor wiring line formed of a tantalum film in this embodiment. Through the thermal oxidization, tantalum oxide films 40a to 40c and 41 are formed. The tantalum oxide films are used as dielectric of the storage capacitor.

[0194]

The thermal oxidization step is carried out in a temperature range of 450 to 600°C (preferably 450 to 500°C when a glass substrate is used). The thickness of the film increases in proportion to temperature and time, and the thickness of the first wiring lines is reduced that much. Therefore it is desirable to form the tantalum film rather thick from the beginning.

[0195]

When employing this embodiment, the tantalum oxide film can be formed thin with good controllability to have a thickness of 10 to 50 nm and an excellent film quality. Since the capacity of the storage capacitor is larger when the dielectric is thinner, the storage capacitor formed can have a very large capacity.

[0196]

As described above, the storage capacitor in this

embodiment is composed of the capacitor wiring line 402, the first insulating layer (the tantalum oxide film formed by thermal oxidization) 41, and a semiconductor region 42.

[0197]

This embodiment may of course be carried out also when the first wiring lines are formed from a conductive film mainly containing an element selected from the group consisting of chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination, or a laminate of the conductive films, the alloy films, or the silicide films.

[0198]

The tantalum oxide film may be formed by a known anode oxidization method instead of oxidizing it by thermal oxidization.

[0199]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 11.

[0200]

Embodiment 14

This embodiment describes a case in which other materials than a tantalum film are used for first wiring lines and second wiring lines. The description will be given with reference to Fig. 16. This embodiment deals with a technique particularly effective in a manufacturing process that includes a high temperature heat treatment step at 700 to 1150°C, such as the one shown in Embodiment 9.

[0201]

The first wiring lines are formed prior to formation of an active layer and hence, if the active layer is to be thermally oxidized, the first wiring lines are also subjected to high temperature heat treatment. In this case, an element constituting the first wiring lines is coupled to oxygen to raise a problem of increased wiring line resistance. This embodiment is about a technique for solving that problem.

[0202]

A substrate used in this embodiment is a quartz substrate 45 having high heat resistance as shown in Fig. 16. A silicon substrate on which a thermal oxide film is formed, a ceramic substrate on which an insulating film is formed, or the like may of course be used instead.

[0203]

For the material of first wiring lines 46a to 46c and of a capacitor wiring line 47, a tungsten silicide (WSix: x = 2 to 25) film 46a1 and a silicon (Si) film 46a2 are layered to form a laminate. The layer order may be reverse, or the laminate may have a three-layer structure in which silicon films sandwich a tungsten silicide film.

[0204]

Only the first wiring line 46a is described here but, needless to say, the first wiring lines 46b and 46c and the capacitor wiring line 47 also are a laminate of a tungsten silicide film and a silicon film.

[0205]

With these materials, the wiring line resistance is not increased in the tungsten silicide film 46a1 after the high temperature heat treatment step at 700 to 1150°C. This is because excess silicon contained in the tungsten silicide film preemptively couples with oxygen and prevents oxygen from coupling with tungsten.

[0206]

Other metal silicide films, for example, a molybdenum silicide (MoSix) film, a titanium silicide (TiSix) film, a cobalt silicide (CoSix) film, a tantalum silicide (TaSix) film, etc., may be used instead of the tungsten silicide film.

[0207]

If a simple metal film (typically, a tantalum film, a titanium film, a tungsten film, or a molybdenum film) is used for the first wiring lines, a silicon film is provided so as to contact with the top face and/or the bottom face of the simple metal film. This prevents oxidization of the simple metal film and an increase in wiring line resistance.

[0208]

If the simple metal film such as a tantalum film or a tungsten film is sandwiched between silicon films forming a three-layer structure, the first wiring lines formed can withstand a high temperature process as the one used in this embodiment.

[0209]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 1 through 13.

[0210]

Embodiment 15

This embodiment shows with reference to Fig. 17 a case in which the storage capacitor of the pixel matrix circuit shown in Embodiment Mode 2 is structured differently. The description is limited to the structure of the storage capacitor because the rest is the same as the pixel matrix circuit shown in Fig. 2A.

[0211]

In this embodiment, a first insulating layer 50 is formed first and then a second insulating layer 51, a silicon oxide film 52, and an amorphous silicon film (not shown in the drawing) are formed successively without exposing them to the air. The amorphous silicon film is then crystallized to form an active layer from the resultant crystalline silicon film, and a third insulating layer 53 is formed to cover the active layer.

[0212]

After the third insulating layer 53 is formed, the third insulating layer 53, the silicon oxide film 52, and the second insulating layer 51 are etched at once in a portion to become the storage capacitor (above a capacitor wiring line) in this embodiment. The first insulating layer 50 is exposed by the etching.

[0213]

In this state, second wiring lines 54a to 54c and an upper capacitor wiring line 55 are formed. The second wiring

lines 54a to 54c and the upper capacitor wiring line 55 are on the same layer of course.

[0214]

This embodiment is thus characterized in that the storage capacitor is composed of a capacitor wiring line 56, the first insulating layer 50, and the upper capacitor wiring line 55. In this case, however, one of the capacitor wiring line 56 and the upper capacitor wiring line 55 has to be electrically connected to a pixel electrode 57.

[0215]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 14.

[0216]

Embodiment 16

This embodiment shows a case in which the storage capacitor of the pixel matrix circuit shown in Embodiment Mode 2 is structured differently. The description is limited to the structure of the storage capacitor because the rest is the same as the pixel matrix circuit shown in Fig. 2A.

[0217]

In the structure of the storage capacitor shown in Fig. 2A, an upper capacitor wiring line (not shown in the drawing) is formed on the third insulating layer 211 above the capacitor wiring line 203. As a result, a first storage capacitor composed of the capacitor wiring line 203, the first insulating layer 204, and the semiconductor region 210 is connected in parallel to a second storage capacitor composed of the semiconductor

region 210, the third insulating layer 211, and the upper capacitor wiring line.

[0218]

One storage capacitor is laid on top of the other and therefore a large capacity can be secured with a small area when this embodiment is carried out.

[0219]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 1 through 14.

[0220]

Embodiment 17

This embodiment gives a description on the position where a storage capacitor is to be formed in a pixel matrix circuit. The description will be given with reference to Figs. 18A and 18B. Fig. 18B is a sectional view taken along the line A-A' in Fig. 18A. The same parts are denoted by the same symbols in Figs. 18A and 18B.

[0221]

In Fig. 18A, 61 denotes a first wiring line, 62, a semiconductor layer, 63, a second wiring line (specifically, a gate wiring line), and 64a and 64b, third wiring lines (specifically, 64a represents a source wiring line whereas 64b represents a drain wiring line).

[0222]

The first wiring line 61 is formed so as to overlap under the second wiring line 63 and under the third wiring line (source wiring line) 64a, and has a mesh-like (matrix-like)

pattern. That is, the electric potential is the same along the entire length of the first wiring line 61 (preferably at the lowest power supply electric potential).

[0223]

The semiconductor layer 62 is formed above the first wiring line with a first insulating layer 65, a second insulating layer 66, and a silicon oxide film 67 interposed therebetween. The second insulating layer 66 is removed from storage capacitor portions, so that each storage capacitor is composed of the first wiring line 61, the first insulating layer 65, the silicon oxide film 67, and the semiconductor layer 62.

[0224]

This embodiment is characterized in that the storage capacitor portions are formed under the second wiring line 63 and under the third wiring line (source wiring line) 64a. This improves the aperture ratio and a bright image display can be obtained. This also shields the storage capacitor against light and hence can prevent leakage of electric charges from the storage capacitor.

[0225]

The semiconductor layer in this embodiment is patterned such that a pixel TFT has the triple gate structure, but is not limited thereto.

[0226]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 14.

[0227]

Embodiment 18

This embodiment gives a description on the position where a storage capacitor is to be formed in a pixel matrix circuit. The description will be given with reference to Figs. 19A and 19B. Fig. 19B is a sectional view taken along the line A-A' in Fig. 19A. The same parts are denoted by the same symbols in Figs. 19A and 19B.

[0228]

In Fig. 19A, 71 denotes a first wiring line, 72, a semiconductor layer, 73, a second wiring line (specifically, a gate wiring line), and 74a and 74b, third wiring lines (specifically, 74a represents a source wiring line whereas 74b represents a drain wiring line).

[0229]

The first wiring line 71 is formed so as to overlap under the second wiring line 73 and under the third wiring line (source wiring line) 74a, and has a mesh-like (matrix-like) pattern. That is, the electric potential is the same along the entire length of the first wiring line 71 (preferably at the lowest power supply electric potential).

[0230]

The semiconductor layer 72 is formed above the first wiring line with a first insulating layer 75, a second insulating layer 76, and a silicon oxide film 77 interposed therebetween. The second insulating layer 76 is removed from storage capacitor portions, so that each storage capacitor is composed of the first wiring line 71, the first insulating layer 75, the silicon

oxide film 77, and the semiconductor layer 72.

[0231]

This embodiment is characterized in that the storage capacitor portions are formed under the second wiring line 73 and under the third wiring line (source wiring line) 74a. This improves the aperture ratio and a bright image display can be obtained. This also shields the storage capacitor against light and hence can prevent leakage of electric charges from the storage capacitor.

[0232]

The semiconductor layer in this embodiment is patterned such that a pixel TFT has the triple gate structure, but is not limited thereto.

[0233]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 14.

[0234]

Embodiment 19

This embodiment gives a description on the position where a storage capacitor is to be formed in a pixel matrix circuit. The description will be given with reference to Fig. 20.

[0235]

In Fig. 20, 81 denotes a first wiring line, 82, a semiconductor layer, 83a and 83b, second wiring lines (specifically, gate wiring lines), and 84a and 84b, third wiring lines (specifically, 84a represents a source wiring line whereas

84b represents a drain wiring line).

[0236]

The first wiring line 81 is formed so as to overlap under the second wiring lines 83 and under the third wiring line (source wiring line) 84a, and has a mesh-like (matrix-like) pattern. That is, the electric potential is the same along the entire length of the first wiring line 81 (preferably at the lowest power supply electric potential).

[0237]

The semiconductor layer 82 is formed above the first wiring line with a first insulating layer, a second insulating layer, and a silicon oxide film interposed therebetween. The second insulating layer is removed from storage capacitor portions, so that each storage capacitor is composed of the first wiring line 81, the first insulating layer, the silicon oxide film, and the semiconductor layer 82.

[0231]

This embodiment is characterized in that the storage capacitor portions are formed under the second wiring line 83b and under the third wiring line (source wiring line) 84a. The difference from Embodiments 17 and 18 resides in that when forming the storage capacitor under a gate wiring line, it is formed under a gate wiring line that is not selected (the gate wiring line 83b adjacent to the selected gate wiring line 83a).

[0239]

A gate voltage (a voltage applied to a gate wiring

line to bring a TFT into an ON state) is not applied to the storage capacitor in this embodiment. Therefore a large parasitic capacitance is not formed between the second wiring lines (gate wiring lines) and the semiconductor layer.

[0240]

This structure improves the aperture ratio and a bright image display can be obtained. It also shields the storage capacitor against light and hence can prevent leakage of electric charges from the storage capacitor.

[0241]

The semiconductor layer in this embodiment is patterned such that a pixel TFT has the triple gate structure, but is not limited thereto.

[0242]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 3 through 14.

[0243]

Embodiment 20

This embodiment shows a case in which different structures are given to TFTs arranged in driver circuits (or other signal processing circuits) in accordance with the difference in operation voltage for the optimal circuit design.

[0244]

The CMOS circuit shown in Fig. 1A is used to construct a gate driver circuit, a source driver circuit, and other signal processing circuits of an AM-LCD. The operation voltage of the CMOS circuit varies depending on which of these circuits

it constitutes. For example, shift register circuits 702a and 703a in Fig. 7 have a low operation voltage, about 5 v, and are required to operate at high speed whereas buffer circuits 702c and 703c have a high operation voltage of 16 to 20 V.

[0245]

In the case of a shift register circuit, hot carrier injection hardly matters and no serious problem is caused if it does not have the GOLD structure because of its low operation voltage. On the contrary, sometimes it is preferred not to provide a first wiring line if formation of a parasitic capacitance between a first wiring line (subordinate gate wiring line) and an active layer is to be avoided. In the case of a buffer circuit, on the other hand, its high operation voltage makes hot carrier injection countermeasures indispensable. Then the structure shown in Fig. 1A is effective.

[0246]

As described above, there are cases where one circuit in a driver circuit employs the CMOS circuit of Fig. 1A whereas another circuit in the same driver circuit uses a CMOS circuit with an NTFT that has an ordinary LDD structure in accordance with difference in operation voltage between the one circuit and the other circuit while sharing the same substrate.

[0247]

Other signal processing circuits than a driver circuit (a D/A converter circuit, a γ correction circuit, a signal divider circuit, or the like) are low in operation voltage and hence may use a CMOS circuit having an NTFT that has an

ordinary LDD structure.

[0248]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 20.

[0249]

Embodiment 22

In the CMOS circuit shown in Fig. 1, the first wiring line 102a is provided in the NTFT but not in the PTFT. However, a conductive layer on the same layer as the first wiring line may be provided under the active layer of the PTFT.

[0250]

The conductive layer to be placed under the active layer of the PTFT has such an electric potential as not to influence the operation of the PTFT (specifically, the lowest power supply electric potential or to the same effect) or is kept to a floating state. That is, the conductive layer is prevented from doing no other function than the one as a light-shielding layer.

[0251]

The pixel matrix circuit shown in Fig. 2 is an NTFT. However, the pixel matrix circuit may be a PTFT if a first wiring line functioning as a light-shielding layer is provided under its active layer.

[0252]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 21.

[0253]

Embodiment 23

This embodiment describes a case in which the thickness of a first insulating layer and/or second insulating layer is varied to reflect a difference in operation voltage.

[0254]

In an AM-LCD shown in Fig. 6, a pixel matrix circuit 607 has an operation voltage of 16 V whereas the operation voltage of driver circuits 603 and 604, or a signal processing circuit 605 is 10 V or less, or even 5 V or less.

[0255]

Specifically, level shifter circuits 702b and 703b, buffer circuits 702c and 703c, and a sampling circuit 703d in Fig. 7 have an operation voltage close to that of a pixel matrix circuit 701 (16 to 20 V). On the other hand, shift register circuits 702a and 703a or a signal processing circuit (not shown in the drawing) have a low operation voltage of 5 to 10 V.

[0256]

For the shift register circuit and signal processing circuit as above, high speed operation is the most important factor and hence it is effective to make the gate insulating film as thin as possible to increase the operation speed of the TFT. On the other hand, the high speed operation ability is not required much for the buffer circuit and the pixel matrix circuit and hence forming a thick gate insulating film to improve the withstand voltage characteristic is effective.

[0257]

Thus, when the operation voltage is different and specifications required for circuits are accordingly different, it is effective to vary the thickness of the gate insulating film to suit a required specification. Since the first insulating layer and the second insulating layer in the NTFT structure of the present invention can function as gate insulating films, the thickness thereof can be changed to suit the respective circuits.

[0258]

For example, in a circuit having a low operation voltage and required to operate at high speed, such as a shift register circuit and a signal processing circuit (signal divider circuit or the like), it is effective to make the first insulating layer thick (200 to 400 nm) while making the second insulating layer thin (10 to 30 nm). If the first insulating layer is as thin as the second insulating layer, the operation speed is improved but the parasitic capacitance is increased to impair the frequency characteristic, which is not desirable. In some cases, the first wiring line may not be provided in a shift register circuit or the like as in Embodiment 21.

[0259]

When the operation voltage is high as in a buffer circuit, a sampling circuit, a pixel matrix circuit, or the like, it is desirable to make the second insulating layer as thick as 100 to 200 nm to enhance the withstand voltage characteristics as a gate insulating film.

[0260]

In a pixel matrix circuit, the influence of the first wiring line has to be as small as possible and hence the first insulating layer may be as thick as 200 to 400 nm. This makes it possible to for the first wiring line provided in the pixel TFT to function as a light-shielding layer.

[0261]

As described above, it is effective to vary the thickness of the gate insulating film (the first insulating layer and/or the second insulating layer) between circuits that are different from one another in operation voltage.

[0262]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 22.

[0263]

Embodiment 24

This embodiment shows with reference to Fig. 21 a case in which the storage capacitor of the pixel matrix circuit shown in Embodiment 15 is structured differently. The description is limited to the structure of the storage capacitor because the rest is the same as the pixel matrix circuit shown in Fig. 17.

[0264]

The structure of this embodiment is almost the same as Embodiment 17 but departs from there to a slightly different process after the third insulating layer is partially etched.

[0265]

After the third insulating layer 53 is partially etched

in the storage capacitor portion, a conductive film 85a mainly containing aluminum is formed first in this embodiment. A tantalum film is formed next and patterned to form the second wiring lines 54a to 54c and a protective wiring line 85b from the tantalum film.

[0266]

In this embodiment, the conductive film 85a mainly containing aluminum and the protective film 85b formed of a tantalum film constitute an upper capacitor wiring line 85. That is, the storage capacitor is composed of the capacitor wiring line 56 that is formed of a tantalum film, the first insulating layer 50 that is formed of a tantalum oxide film, and the conductive film 85a mainly containing aluminum. The protective wiring line 85b functions as a part of the upper capacitance electrode and also functions as a protective film for protecting the conductive film 85a mainly containing aluminum from heat.

[0267]

The structure of this embodiment can be combined freely with any of Embodiments 3 through 14, 15, 16, and 20 through 23.

[0268]

Embodiment 25

The TFT structure of the present invention can be applied not only to electro-optical devices such as AM-LCDs but to semiconductor circuits of every kind. It may be applied to microprocessors such as RISC processors and ASIC processors,

to signal processing circuits such as D/A converters, and to high frequency circuits for portable equipment (cellular phones including PHS, and mobile computers).

[0269]

It is possible to obtain a semiconductor device having a three-dimensional structure in which an interlayer insulating film is formed on a conventional MOSFET and the present invention is applied thereto to form a semiconductor circuit. The present invention thus is applicable to all of the semiconductor devices that currently employ LSIs. The present invention may be applied to the SOI structure (a TFT structure using a single crystal semiconductor thin film) such as SIMOX, Smart-Cut (trade name of SOITEC), and ELTRAN (trade name of Canon, Inc.).

[0270]

The semiconductor circuits of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1 through 24.

[0271]

Embodiment 26

A CMOS circuit and pixel matrix circuit formed by carrying out the present invention can be applied to various electro-optical devices and semiconductor circuits. That is, the present invention is applicable to all of electronic equipment that incorporates those electro-optical devices and semiconductor circuits as components.

[0272]

Given as such electronic equipment are video cameras,

digital cameras, projectors, projection TVs, head mounted displays (goggle type displays), automobile navigation systems, personal computers, portable information terminals (mobile computers, cellular phones, electronic books or the like), etc. Examples of those are shown in Fig. 22.

[0273]

Fig. 22A shows a cellular phone, which is composed of a main body 2001, an audio output unit 2002, an audio input unit 2003, a display device 2004, operation switches 2005, and an antenna 2006. The present invention is applicable to the audio output unit 2002, the audio input unit 2003, the display device 2004, and other signal controlling circuits.

[0274]

Fig. 22B shows a video camera, which is composed of a main body 2101, a display device 2102, an audio input unit 2103, operation switches 2104, a battery 2105, and an image receiving unit 2106. The present invention is applicable to the display device 2102, the audio input unit 2103, and other signal controlling circuits.

[0275]

Fig. 22C shows a mobile computer, which is composed of a main body 2201, a camera unit 2202, an image receiving unit 2203, operation switches 2204, and a display device 2205. The present invention is applicable to the display device 2205 and other signal controlling circuits.

[0276]

Fig. 22D shows a goggle type display, which is composed

of a main body 2301, display devices 2302, and arm units 2303. The present invention is applicable to the display devices 2302 and other signal controlling circuits.

[0277]

Fig. 22E shows a rear projector, which is composed of a main body 2401, a light source 2402, a display device 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. The present invention is applicable to the display device 2403 and other signal controlling circuits.

[0278]

Fig. 22F shows a front projector, which is composed of a main body 2501, a light source 2502, a display device 2503, an optical system 2504, and a screen 2505. The present invention is applicable to the display device 2502 and other signal controlling circuits.

[0279]

As described above, the application range of the present invention is so wide that it is applicable to electronic equipment of every field. The electronic equipment of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1 through 25.

[0280]

[Effect of the Invention]

The present invention is characterized in that the same TFT can form both the GOLD structure and the LDD structure and which one is to form is determined by controlling the voltage of a first wiring line provided under an active layer. In

other words, the GOLD structure and the LDD structure can be formed on the same substrate without increasing the number of steps or complicating the process.

[0281]

Therefore circuits having optimal functions can be arranged in accordance with the respective specifications required for the circuits, thus greatly improving the performance and reliability of a semiconductor device such as an AM-LCD and electronic equipment that has the AM-LCD as a display.

[0282]

A high dielectric constant film such as a tantalum oxide film is used as dielectric of a storage capacitor in a pixel matrix circuit, whereby the storage capacitor can have a large capacity with a small area. Therefore, even if the AM-LCD is 1 inch or less in diagonal size, a sufficient storage capacitor is ensured without lowering the aperture ratio.

[BRIEF DESCRIPTION OF THE INVENTION]

[Fig. 1] shows a structure of a CMOS circuit.

[Fig. 2] shows a structure of a pixel matrix circuit.

[Fig. 3] shows a process of manufacturing a CMOS circuit.

[Fig. 4] shows a process of manufacturing a pixel matrix circuit.

[Fig. 5] shows a process of manufacturing a pixel matrix circuit.

[Fig. 6] shows the outside appearance of AM-LCD.

[Fig. 7] shows a block structure of AM-LCD.

[Fig. 8] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 9] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 10] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 11] shows a structure of a CMOS circuit.

[Fig. 12] shows a process of manufacturing a CMOS circuit.

[Fig. 13] shows a process of manufacturing a CMOS circuit.

[Fig. 14] shows a structure of a pixel matrix circuit.

[Fig. 15] shows a structure of a pixel matrix circuit.

[Fig. 16] shows a structure of a pixel matrix circuit.

[Fig. 17] shows a structure of a pixel matrix circuit.

[Fig. 18] shows a structure of a pixel matrix circuit.

[Fig. 19] shows a structure of a pixel matrix circuit.

[Fig. 20] shows a structure of a pixel matrix circuit.

[Fig. 21] shows a structure of a pixel matrix circuit.

[Fig. 22] shows an example of an electric device.

[DESCRIPTION OF A MARK]

90 A silicon oxide film
100 A substrate
101 A base film
102a, 102b and 102c First wiring lines
103 A first insulating layer
104 A second insulating layer
105 A source region (NTFT)
106 A drain region (NTFT)
107a and 107b Low concentration impurity regions
108 A channel formation region (NTFT)
109 A source regions (PTFT)
110 A drain region (PTFT)
111 A channel formation region (PTFT)
112 A second insulating layer
113a, 113b, 113c and 113d Second wiring lines
114 A first interlayer insulating layer
115 A source wiring line (NTFT)
116 A source wiring line (PTFT)
117 A drain wiring line (in common with NTFT and PTFT)

91 A silicon oxide film
200 A substrate
201 A base film
202a, 202b and 202c First wiring lines
203 A capacitor wiring line
204 A first insulating layer (TaO_x film)
205 A second insulating layer
206 A source region
207 A drain region
208a~208d Low concentration impurity regions
209a and 209b Channel formation regions
210 An impurity region for a capacitor
211 A third insulating layer
212a, 212b and 212c Second wiring lines
213 A first interlayer insulating layer

214 A source wiring line
215 A drain wiring line
216 A second interlayer insulating layer
217a and 217b Black masks
218 A third interlayerinsulating layer
219 A pixel electrode

601 A substrate with an insulating surface
602 A pixel matrix circuit
603 A source driver circuit
604 A gate drivier circuit
605 A signal processing circuit
606 An FPC
607 An opposite substrate

701 A pixel matrix circuit
702a and 703a Shift register circuits
702b and 703b Level shifter circuits
702c and 703c Buffer circuits
703d A sampling circuit
704 A precharge circuit

2001 A main body
2002 An audio output unit
2003 An audio input unit
2004 A display device
2005 Operation switches
2006 An antenna

2101 A main body
2102 A display device
2103 An audio input unit
2104 Operation switches
2105 A battery
2106 An image receiving unit

2201 A main body
2202 A camera unit
2203 An image receiving unit
2204 Operation switches
2205 A display device

2301 A main body
2302 Display devices
2303 Arm units

2401 A main body
2402 A light source
2403 A display device
2404 A polarization beam splitter
2405 Reflector
2406 Reflector
2407 A screen

2501 A main body
2502 A light source
2503 A display device
2504 An optical system
2505 A screen

[BRIEF DESCRIPTION OF THE FIGURES]

- [Fig. 2](A) 画素TFT部 --- A pixel TFT portion
 保持容量部 --- A storage capacitor portion
- (B) 保持容量部 --- A storage capacitor portion
- [Fig. 3](A) リン(n-)の添加工程 --- A phosphorus doping step
- (B) ポロン(p++)の添加工程 --- A boron doping step
- (C) 裏面露光工程、リン(n+)の添加工程 --- A back side exposure step, A phosphorus doping step
- [Fig. 4](A) リン(n-)の添加工程 --- A phosphorus doping step

- (D) ポロン(p++)の添加工程 --- A boron doping step
裏面露光工程、リン(n+)の添加工程 --- A back side exposure step, A phosphorus doping step
- [Fig. 9](B) 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 10](B) 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 12](B) リンによるゲッタリング工程 --- A gettering step by phosphorus
- [Fig. 13](A) リン(n-)の添加工程 --- A phosphorus doping step
(B) 裏面露光工程、リン(n+)の添加工程 --- A back side exposure step, A phosphorus doping step
(C) ポロン(p++)の添加工程 --- A boron doping step
- [Fig. 14] 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 15] 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 16] 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 17] 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 18](B) 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 19](B) 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion
- [Fig. 21] 画素TFT部 --- A pixel TFT portion
保持容量部 --- A storage capacitor portion